

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Ken MATSUMOTO

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR STORAGE DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

Japan

2003-098479

April 1, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. _____ filed _____

☐ were submitted to the International Bureau in PCT Application Number _____

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and

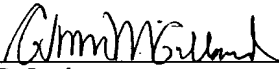
☐ (B) Application Serial No.(s) _____

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Bradley D. Lytle

Registration No. 40,073

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 9 8 4 7 9
Application Number:

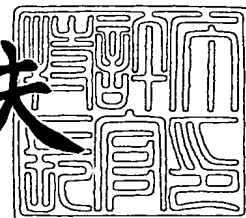
[ST. 10/C] : [J . P 2 0 0 3 - 0 9 8 4 7 9]

出 願 人 ソニー株式会社
Applicant(s):

2 0 0 4 年 3 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0290675702

【提出日】 平成15年 4月 1日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G11C 29/00

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号ソニー株式会社内

 【氏名】 松本 賢

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

【代理人】

 【識別番号】 100082740

 【弁理士】

 【氏名又は名称】 田辺 恵基

【手数料の表示】

 【予納台帳番号】 048253

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9709125

【プルーフの要否】 要



【書類名】 明細書
【発明の名称】 半導体記憶装置
【特許請求の範囲】
【請求項 1】

複数のメモリセルがアレイ状に配置されると共に、当該アレイ状に配置された上記複数のメモリセルの行方向及び又は列方向の所定箇所に複数の冗長メモリセルがアレイ状に配置され、上記列方向とほぼ平行に配線された 2 本のビット線からなり、当該 2 本のビット線を上記列方向の 1 又は複数箇所でツイストして当該 2 本のビット線の配線位置入替部分が形成された複数のビット線対と、上記行方向とほぼ平行に配線された複数のワード線とを有し、上記複数のビット線と上記複数のワード線との複数の交差箇所それぞれ当該ビット線及び上記ワード線に上記メモリセル又は上記冗長メモリセルが接続されたメモリセルアレイと、

上記複数のメモリセルに接続された上記複数のビット線対にそれぞれ割り当てられた列アドレスを所定の列アドレス管理個数単位で上記行方向に順次シフトさせて他の上記複数のビット線対に割り当て直すことにより上記列アドレス管理個数に対応する所定列分の上記複数のメモリセルに替えて当該所定列分の上記冗長メモリセルをデータの記憶再生に対して使用可能にし、及び又は上記複数のメモリセルに接続された上記複数のワード線にそれぞれ割り当てられた行アドレスを所定の行アドレス管理個数単位で上記列方向に順次シフトさせて他の上記複数のワード線に割り当て直すことにより上記行アドレス管理個数に対応する所定行分の上記複数のメモリセルに替えて当該所定行分の上記複数の冗長メモリセルを上記データの記憶再生に対して使用可能にするシフト冗長手段と、

評価試験用データの記憶再生時に、上記ビット線対のツイスト箇所及び上記行アドレスのシフトに応じて、入力行アドレスで指定された上記ワード線に対して上記配線位置入替部分が交差した上記ビット線対を判別する判別手段と、

上記判別手段による上記判別結果に応じて、上記ワード線に対して上記配線位置入替部分が交差した上記ビット線対に供給し及び当該ビット線対から出力される上記評価試験用データのレベルを反転すると判断する判断手段と、

上記判断手段による上記判断結果に応じて、上記評価試験用データの記憶時に



上記ワード線に対して上記配線位置入替部分が交差した上記ビット線対に供給する上記評価試験用データの上記レベルを反転処理し、上記評価試験用データの再生時に上記ワード線に対して上記配線位置入替部分が交差した上記ビット線対から出力された上記評価試験用データの上記レベルを反転処理する反転手段とを具えることを特徴とする半導体記憶装置。

【請求項 2】

上記判別手段は、

上記評価試験用の上記データの記憶再生時以外の他のデータの記憶再生時にも、上記ビット線対の上記ツイスト箇所及び上記行アドレスの上記シフトに応じて、上記入力行アドレスで指定された上記ワード線に対して上記配線位置入替部分が交差した上記ビット線対を判別し、

上記反転手段は、

上記判断手段による上記判断結果に応じて、上記他のデータの記憶時に上記ワード線に対して上記配線位置入替部分が交差した上記ビット線対に供給する上記他のデータの上記レベルを反転処理し、上記他のデータの再生時に上記ワード線に対して上記配線位置入替部分が交差した上記ビット線対から出力された上記他のデータの上記レベルを反転処理する

ことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

複数のメモリセルがアレイ状に配置されると共に、当該アレイ状に配置された上記複数のメモリセルの行方向及び又は列方向の所定箇所に複数の冗長メモリセルがアレイ状に配置され、上記列方向とほぼ平行に配線された 2 本のビット線からなり、当該 2 本のビット線を上記列方向の 1 又は複数箇所でツイストして当該 2 本のビット線の配線位置入替部分が形成された複数のビット線対と、上記行方向とほぼ平行に配線された複数のワード線とを有し、上記複数のビット線と上記複数のワード線との複数の交差箇所それぞれ当該ビット線及び上記ワード線に上記メモリセル又は上記冗長メモリセルが接続されたメモリセルアレイに対して、上記複数のメモリセルに接続された上記複数のビット線対にそれぞれ割り当てられた列アドレスを所定の列アドレス管理個数単位で上記行方向に順次シフトさ

せて他の上記複数のビット線対に割り当て直すことにより上記列アドレス管理個数に対応する所定列分の上記複数のメモリセルに替えて当該所定列分の上記冗長メモリセルをデータの記憶再生に対して使用可能にし、及び又は上記複数のメモリセルに接続された上記複数のワード線にそれぞれ割り当てられた行アドレスを所定の行アドレス管理個数単位で上記列方向に順次シフトさせて他の上記複数のワード線に割り当て直すことにより上記行アドレス管理個数に対応する所定行分の上記複数のメモリセルに替えて当該所定行分の上記複数の冗長メモリセルを上記データの記憶再生に対して使用可能にするシフト冗長ステップと、

評価試験用データの記憶時に、上記ビット線対のツイスト箇所及び上記行アドレスのシフトに応じて、入力行アドレスで指定された上記ワード線に対して上記配線位置入替部分が交差した上記ビット線対を判別する記憶時判別ステップと、

上記記憶時判別ステップによる上記判別結果に応じて、上記ワード線に対して上記配線位置入替部分が交差した上記ビット線対に供給する上記評価試験用データのレベルを反転すると判断する記憶時判断ステップと、

上記記憶時判断ステップによる上記判断結果に応じて、上記評価試験用データの上記レベルを反転処理して、上記ワード線に対して上記配線位置入替部分が交差した上記ビット線対に供給することにより当該ビット線対に接続された上記メモリセル又は上記冗長メモリセルに上記レベルを反転した上記評価試験用データを記憶する入力反転記憶ステップと、

上記評価試験用データの再生時に、上記ビット線対の上記ツイスト箇所及び上記行アドレスの上記シフトに応じて、上記入力行アドレスで指定された上記評価試験用ワード線に対して上記配線位置入替部分が交差した上記ビット線対を判別する再生時判別ステップと、

上記再生時判別ステップによる上記判別結果に応じて、上記ワード線に対して上記配線位置入替部分が交差した上記ビット線対から出力される上記評価試験用データの上記レベルを反転すると判断する再生時判断ステップと、

上記再生時判断ステップによる上記判断結果に応じて、上記ワード線に対して上記配線位置入替部分が交差した上記ビット線対に接続された上記メモリセル又は上記冗長メモリセルから再生されて当該ビット線対から出力された上記評価試

試験データの上記レベルを反転処理して出力する出力反転再生ステップとを具えることを特徴とする半導体記憶装置の記憶再生方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体記憶装置に関し、例えばDRAM (Dynamic Random Access Memory) でなる半導体記憶装置に適用して好適なものである。

【0002】

【従来の技術】

従来の半導体記憶装置は、データ記憶素子の最小単位となる複数のメモリセルがアレイ状に配置されると共に、当該アレイ状に配置された各メモリセルの行方向と平行な複数のワード線及び列方向と平行な複数のビット線とが格子状に配線され、複数のワード線及び複数のビット線の交差箇所それぞれ当該ワード線及びビット線にメモリセルが接続されたメモリセルアレイが設けられている。

【0003】

またかかる半導体記憶装置は、メモリセルアレイの列方向の一端側に、不良メモリセルに替えて使用可能な複数の冗長メモリセルがアレイ状に配置されると共に、行方向と平行なワード線（以下、これを特に冗長ワード線と呼ぶ）及び列方向と平行なビット線とが配線され、冗長ワード線及びビット線の交差箇所当該冗長ワード線及びビット線に冗長メモリセルが接続された冗長カラムも設けられている。

【0004】

そしてかかる半導体記憶装置は、メモリセルアレイ内に不良メモリセルが存在すると、アレイ状の複数のメモリセルの当該不良メモリセルを含む1行分に替えて、アレイ状の複数の冗長メモリセルの1行分を使用することにより、不良メモリセルが存在する場合でもメモリセルアレイ内の複数のメモリセルと同数のメモリセルを使用してデータを記憶再生し得るようにしている（例えば、特許文献1参照）。

【0005】

【特許文献 1】

特開平 11-120788 号公報 (第 3 頁)

【0006】

【発明が解決しようとする課題】

ところで従来、他の半導体記憶装置として、それぞれ複数のメモリセルに接続された複数本のワード線と、それぞれ複数の冗長メモリセルに接続された複数本の冗長ワード線とが列方向で隣接して配線されたメモリセルアレイを有し、不良メモリセルに接続されたワード線に割り当てられた行アドレスから冗長ワード線に隣接するワード線に割り当てられた行アドレスまでを偶数個単位で列方向に順次シフトさせて当該シフト先のワード線及び冗長ワード線に割り当て直すことにより、不良メモリセルと共にワード線に接続された複数のメモリセルに替えて冗長メモリセルに接続された複数の冗長メモリセルを使用し得るようにする、いわゆるシフト冗長方式と呼ばれる冗長メモリセルの使用方式が適用されたものもある。

【0007】

また最近では、シフト冗長方式を適用した半導体記憶装置に対して、図 13 に示すように、半導体微細加工技術の進歩に伴い、メモリセルアレイ MSA1 において矢印 R で示す行方向に沿って順次 2 本のビット線 BL1A 及び BL1B、BL2A 及び BL2B、……、BLNA 及び BLNB をビット線対 BL1、BL2、……、BLN として対で動作させるようにし、ビット線対 BL1、BL3、……を列方向の 1 又は複数箇所でツイストして 2 本のビット線 BL1A 及び BL1B、BL3A 及び BL3B、……の配線位置を入れ替えることにより当該ツイストしたビット線対 BL1、BL3、……とこれに隣接する他のビット線対 BL2、……、BLN との間の浮遊容量を減少させてこれらビット線対 BL1、BL2、BL3、……、BLN 間で線間容量結合による干渉ノイズが発生することを防止する、いわゆるツイストビット線対方式と呼ばれる浮遊容量低減方式を適用することが提案されている。

【0008】

因みにかかる構成の半導体記憶装置においては、ビット線対 BL1、……、B

LNと、順次2本のワード線WL1及びWL2、……、WLN-1及びWLN、WLT1及びWLT2、……とによって囲まれた箇所（以下、これをメモリセル配置箇所と呼ぶ）にそれぞれ1列分の複数のメモリセルMSのうちの2個のメモリセルMSが配置されている。

【0009】

そしてメモリセル配置箇所においては、ビット線対BL1、……、BLNに対して入出力段からツイスト箇所までの2本のビット線BL1A及びBL1B、……、BLNA及びBLNBの配線位置を入れ替えていない部分（以下、これを配線位置非入替部分と呼ぶ）NCAR1乃至NCAR4で、一方のビット線BL1A、……、BLNA及び一方のワード線WL1、……、WLN-1、WLT1、……に一方のメモリセルMSが接続され、他方のビット線BL1B、……、BLNB及び他方のワード線WL2、……、WLN、WLT2、……に他方のメモリセルMSが接続されている。

【0010】

またメモリセル配置箇所においては、2本のビット線BL1A及びBL1B、BL3A及びBL3B、……の配置位置がツイストによって入れ替わった部分（以下、これを配線位置入替部分と呼ぶ）CCAR1及びCCAR2で、他方のビット線BL1B、BL3B、……及び一方のワード線WL1、……、WLN-1、WLT1、……に一方のメモリセルMSが接続され、一方のビット線BL1A、BL3A、……及び他方のワード線WL2、……、WLN、WLT2、……に他方のメモリセルMSが接続されている。

【0011】

ここでかかるシフト冗長方式及びツイストビット線対方式を適用した半導体記憶装置を実現した際には、図14に示すように、製造の際の評価試験工程においてメモリセルアレイMSA1内の各メモリセルMSに「0」及び「1」レベルの評価試験用データを、当該各メモリセルMSの物理的な配置位置に応じて選定された市松模様等の所定の記憶パターンで記憶した後に再生し、記憶する前の評価試験用データのレベルと実際に記憶して再生した評価試験用データのレベルとのパターンを比較するようにして、各メモリセルMSに対してパターンセンシティ

ブと呼ばれるデータ依存性を評価試験することも合わせて提案されている。

【0 0 1 2】

ところがかかる構成の半導体記憶装置においては、図 1 5 に示すように、外部から入力されたデータ依存性の評価試験用の「0」及び「1」レベルの評価試験用データをビット線対 B L 1、……、B L N の例えば一方のビット線 B L 1 A、……、B L N A に供給すると、当該ビット線対 B L 1、B L 3、……の配線位置入替部分 N C A R 1 乃至 N C A R 4 では、その評価試験用データを一方及び他方のメモリセル M S うちの一方のメモリセル M S に記憶するものの、配線位置入替部分 C C A R 1 及び C C A R 2 では、その評価試験用データを他方のメモリセル M S に記憶するように、配線位置入替部分 C C A R 1 及び C C A R 2 において例えば評価試験用データのレベルを見かけ上反転させて記憶することになり、各メモリセル M S に対して評価試験用データを予め選定された記憶パターン通りには記憶し難くなる。

【0 0 1 3】

このためかかる構成の半導体記憶装置に対して、ビット線対 B L 1、……、B L N の配線位置入替部分 C C A R 1 及び C C A R 2 と交差するワード線に割り当てた行アドレスを予め保持しておき、外部からその行アドレスが評価試験用データの記憶用に指定されたときに、当該評価試験用データのレベルを事前に反転させてビット線対 B L 1、……、B L N に供給することが考えられる。

【0 0 1 4】

しかしながらかかる構成の半導体記憶装置においては、図 1 6 に示すように、不良メモリセル N M S の検出に応じたシフト冗長により、ワード線 W L N - 1、W L N、W L T 1、W L T 2、……に割り当てられた行アドレスをツイスト箇所を越えて偶数個単位で矢印 K に示す列方向にシフトさせると、予め保持している行アドレスでは、配線位置入替部分 C C A R 1 及び C C A R 2 と交差するワード線 W L N - 1、W L N、W L T 1、W L T 2、……を適確に特定することができず、各メモリセル M S に対して評価試験用データを記憶パターン通りに記憶し難い問題があった。

【0 0 1 5】

本発明は以上の点を考慮してなされたもので、適確に評価させ得る半導体記憶装置を提案しようとするものである。

【0016】

【課題を解決するための手段】

かかる課題を解決するため本発明においては、複数のメモリセルがアレイ状に配置されると共に、当該アレイ状に配置された複数のメモリセルの行方向及び又は列方向の所定箇所に複数の冗長メモリセルがアレイ状に配置され、列方向とほぼ平行に配線された2本のビット線からなり、当該2本のビット線を列方向の1又は複数箇所でツイストして当該2本のビット線の配線位置入替部分が形成された複数のビット線対と、行方向とほぼ平行に配線された複数のワード線とを有し、複数のビット線と複数のワード線との複数の交差箇所それぞれ当該ビット線対及びワード線にメモリセル又は冗長メモリセルが接続されたメモリセルアレイに対して、シフト冗長手段により、複数のメモリセルに接続された複数のビット線対にそれぞれ割り当てられた列アドレスを所定の列アドレス管理個数単位で行方向に順次シフトさせて他の複数のビット線対に割り当て直すことにより列アドレス管理個数に対応する所定列分の複数のメモリセルに替えて当該所定列分の冗長メモリセルをデータの記憶再生に対して使用可能にし、及び又は複数のメモリセルに接続された複数のワード線にそれぞれ割り当てられた行アドレスを所定の行アドレス管理個数単位で列方向に順次シフトさせて他の複数のワード線に割り当て直すことにより行アドレス管理個数に対応する所定行分の複数のメモリセルに替えて当該所定行分の複数の冗長メモリセルをデータの記憶再生に対して使用可能にし、この状態で評価試験用データの記憶再生時に、判別手段により、ビット線対のツイスト箇所及び行アドレスのシフトに応じて、入力行アドレスで指定されたワード線に対して配線位置入替部分が交差したビット線対を判別し、判断手段により、判別手段の判別結果に応じて、ワード線に対して配線位置入替部分が交差したビット線対に供給し及び当該ビット線対から出力される評価試験用データのレベルを反転すると判断し、反転手段により、判断手段の判断結果に応じて、評価試験用データの記憶時にワード線に対して配線位置入替部分が交差したビット線対に供給する評価試験用データのレベルを反転処理し、評価試験用データ

の再生時にワード線に対して配線位置入替部分が交差したビット線対から出力された評価試験用データのレベルを反転処理するようにした。

【0 0 1 7】

従って、メモリセルアレイ内の各メモリセル及び冗長メモリセルに対して「0」及び「1」レベルの評価試験用データを、当該各メモリセルの物理的な配置位置に応じて予め選定された記憶パターンで適確に記憶し得ると共に、当該記憶した評価試験用データを再生した際に記憶の際の反転を相殺するように再び反転して出力することができる。

【0 0 1 8】

【発明の実施の形態】

以下図面について、本発明の一実施の形態を詳述する。

【0 0 1 9】

図 1 において、1 は全体としてシフト冗長方式及びツイストビット線対方式の適用された半導体記憶装置を示し、複数（例えば 4 個の）のメモリセルアレイを有するメモリセルアレイ群 2 が設けられている。

【0 0 2 0】

メモリセルアレイ群 2 は、図 2 に示すように、例えば 2 バンク B A 1 及び B A 2 構成でなり、各バンク B A 1 及び B A 2 にそれぞれ例えば 1 [Mbit] の記憶容量を有するメモリセルアレイ M S A 1 0 乃至 M S A 1 3 が 2 個ずつ設けられている。

【0 0 2 1】

各メモリセルアレイ M S A 1 0 乃至 M S A 1 3 はそれぞれ同様構成でなり、メモリセルアレイ M S A 1 0 の構成を代表して説明すると、図 3 に示すように、中央部に複数のメモリセルが矢印 R で示す行方向と平行な複数行（例えば、512 行）及び矢印 K で示す列方向と平行な複数列（例えば、64 列）を形成するようにアレイ状に配置されると共に、当該アレイ状に配置された複数のメモリセルの行に合わせた複数本（例えば、512 本）のワード線 W L 1、……、W L 5 1 2 が配線されたメモリセル配置領域 M G A R 1（M G A R 2 乃至 M G A R 4）が設けられている。

【 0 0 2 2 】

またメモリセルアレイ M S A 1 0 は、列方向の一端側及び他端側にそれぞれ複数の冗長メモリセルが複数行（例えば、8 行）及び複数列（例えば、64 列）を形成するようにアレイ状に配置されると共に、当該アレイ状に配置された複数の冗長メモリセルの行に合わせた複数本（例えば、8 本）のワード線（以下、これを特に冗長ワード線と呼ぶ）R W L H 1、……、R W L H 8 及び R W L L 1、……、R W L L 8 が配線された冗長メモリセル配置領域 R G A R 1（R G A R 3、R G A R 5、R G A R 7）及び R G A R 2（R G A R 4、R G A R 6、R G A R 8）が設けられている。

【 0 0 2 3 】

さらにメモリセルアレイ M S A 1 0 は、列方向の一端側の冗長メモリセル配置領域 R G A R 1 からメモリセル配置領域 M G A R 1 を経て他端側の冗長メモリセル配置領域 R G A R 2 に渡り、アレイ状のメモリセル及び冗長メモリセルの列に合わせた複数本（例えば、128 本）のビット線 B L 1 A、B L 1 B、……、B L 1 2 8 A、B L 1 2 8 B が順次 2 本ずつビット線対 B L 1、……、B L 1 2 8 として配線されている。

【 0 0 2 4 】

この場合、各ビット線対 B L 1、……、B L 1 2 8 は、それぞれ列方向の一端側がデータの入出力段に指定されている。

【 0 0 2 5 】

そして行方向の一端から他端にかけて各ビット線対 B L 1、……、B L 1 2 8 のうち奇数番目の複数のビット線対 B L 1、……、B L 1 2 7 は、列方向の一端から他端までをほぼ 2 等分する 1 箇所ですべて 1 回だけツイストし、偶数番目の複数のビット線対 B L 2、……、B L 1 2 8 は、当該列方向の一端から中央までをほぼ 2 等分する箇所と、当該中央から他端までをほぼ 2 等分する箇所との合計 2 箇所ですべて 2 回ツイストしている（すなわち、一度ツイストした後、もう一度ツイストして 2 本のビット線 B L 2 A 及び B L 2 B、……、B L 1 2 8 A 及び B L 1 2 8 B の配線位置関係を元に戻している）。

【 0 0 2 6 】

これに加えてメモリセルアレイMSA10は、奇数番目のビット線対BL1、……、BL127に対する1箇所のツイスト位置と、偶数番目のビット線対BL2、……、BL128に対する2箇所のツイスト位置との合計3箇所のツイスト位置をそれぞれ境界（以下、これをエリア境界と呼ぶ）として列方向の一端から他端までをほぼ4等分するような第1乃至第4のエリアAREA1乃至AREA4に分割されている。

【0027】

従って1回ツイストしたビット線対BL1、……、BL127は、列方向の一端（すなわち、冗長メモリセル配置領域RGAR1に配線された部分を含む）から一端及び他端間の中央のエリア境界までの第1及び第2のエリアAREA1及びAREA2に配線された部分が2本のビット線BL1A及びBL1B、……、BL127A及びBL127Bの配線位置を入出力段に対して入れ替えない配線位置非入替部分NCAR10となり、当該エリア境界から列方向の他端（すなわち、冗長メモリセル配置領域RGAR2に配線された部分を含む）までの第3及び第4のエリアAREA3及びAREA4に配線された部分が2本のビット線BL1A及びBL1B、……、BL127A及びBL127Bの配線位置をツイストにより入出力段に対して替える配線位置入替部分CCAR10となる。

【0028】

また2回ツイストしたビット線対BL2、……、BL128は、列方向の一端（すなわち、冗長メモリセル配置領域RGAR1に配線された部分を含む）から当該一端側のエリア境界までの第1のエリアAREA1、及び列方向の他端側のエリア境界から当該列方向の他端（すなわち、冗長メモリセル配置領域RGAR2に配線された部分を含む）までの第4のエリアAREA4に配線された部分がそれぞれ2本のビット線BL2A及びBL2B、……、BL128A及びBL128Bに対する配線位置非入替部分NCAR11及びNCAR12となり、一端側のエリア境界から他端側のエリア境界までの第2及び第3のエリアAREA2及びAREA3に配線された部分が2本のビット線BL2A及びBL2B、……、BL128A及びBL128Bに対する配線位置入替部分CCAR11となる。

。

【0029】

ここでメモリセルアレイMSA10の構成をさらに詳細に説明すると、図4に示すように、ビット線対BL1、……、BL128の入出力段において2本のビット線BL1A及びBL1B、……、BL128A及びBL128Bの一端にはそれぞれ記憶制御トランジスタTR1のソースが接続され、当該記憶制御トランジスタTR1のドレインにバッファBAを介して入力端子が接続されている。

【0030】

また2本のビット線BL1A及びBL1B、……、BL128A及びBL128Bにはそれぞれ第1の再生制御トランジスタTR2のゲートが接続されると共に、当該2本のビット線BL1A及びBL1B、……、BL128A及びBL128B間でこれら第1の再生制御トランジスタTR2のソースが共通に接地されている。

【0031】

さらに第1の再生制御トランジスタTR2のドレインには、それぞれ第2の再生制御トランジスタTR3のソースが接続されると共に、当該第2の再生制御トランジスタTR3のドレインにバッファ機能を有する反転回路IVを介して出力端子が接続されている。

【0032】

さらにビット線対BL1、……、BL128の2本のビット線BL1A及びBL1B、……、BL128A及びBL128B間にはセンスアンプSAが並列に接続されている。

【0033】

これに加えて各メモリセルMSは、それぞれMOS (Metal Oxide Semiconductor) トランジスタTR4のソースにキャパシタCの一端が接続されると共に、当該キャパシタCの他端に所定電圧を印加する電圧源が接続されて構成されている。

【0034】

そして各メモリセルMSは、それぞれビット線対BL1、……、BL128と2本のワード線WL1、……、WL512とに囲まれたメモリセル配置箇所M

OSトランジスタRT4のゲートが1本のワード線WL1、……、WL512に接続され、当該MOSトランジスタTR4のドレインが1本のビット線BL1A、BL1B、……、BL128A、BL128Bに接続されている。

【0035】

そして各ワード線WL1、……、WL512にはそれぞれ例えば連続する2進数でなる行アドレスが予め配線の並びに従って順番に割り当てられると共に、各ビット線対BL1、……BL128にもそれぞれ例えば連続する2進数でなる列アドレスが予め配線の並びに従って順番に割り当てられていることにより、これら行アドレス及び列アドレスが指定されれば、その行アドレスで指定された1本のワード線WL1、……、WL512及び列アドレスで指定された1個のビット線対BL1、……、BL128に接続された（実際には、1本のワード線WL1、……、WL512及び1本のビット線BL1A、……、BL128Bに接続された）1個のメモリセルMSを特定し得るようになされている。

【0036】

またビット線対BL1、……、BL128における2本のビット線BL1A及びBL1B、……、BL128A及びBL128B及びワード線WL1、……、WL512と各メモリセルMSとの接続関係は、配線位置非入替部分NCAR10乃至NCAR12と、配線位置入替部分CCAR10及びCCAR11とで、図13について上述した場合と同様である。

【0037】

さらにビット線対BL1、……、BL128における2本のビット線BL1A及びBL1B、……、BL128A及びBL128B及び冗長ワード線RWLL1、……、RWLL8及びRWLH1、……、RWLH8と冗長メモリセルRMSとの接続関係も、配線位置非入替部分NCAR10乃至NCAR12と、配線位置入替部分CCAR10とで、図13について上述した場合と同様である。

【0038】

半導体記憶装置1（図1）は、通常のリデータ記憶時、外部から記憶開始用のアクティブコマンドC1と、1本のワード線WL1、……、WL512に割り当てられた1個の行アドレスを指定する行アドレスデータD1とが入力されると、当

該アクティブコマンドC 1及び行アドレスデータD 1を選択回路6及び7を介してデータ反転判断部8のツイスト用反転判断回路9に取り込む。

【0039】

ツイスト用反転判断回路9は、アクティブコマンドC 1及び行アドレスデータD 1をタイミングコントローラ10を介してロウデコーダ11に送出する。

【0040】

ここで図5に示すように、ロウデコーダ11は、アクティブコマンドC 1に従ってデータ記憶用にワード線WL 1、……、WL 512の設定処理を開始し、メモリセルアレイ群2のメモリセルアレイMSA 10乃至MSA 13において、行アドレスデータD 1に基づく1個の行アドレスで指定された1本のワード線WL 1、……、WL 512に、ジェネレータ12で発生した所定電圧を印加することにより当該ワード線WL 1、……、WL 512に接続されているメモリセルMSのMOSトランジスタTR 4をオンさせる。

【0041】

この状態で半導体記憶装置1は、引き続き外部から入力された1又は複数の記憶対象の「0」及び「1」レベルのデータD 2を選択回路3を介して反転処理部4に取り込み、データ処理回路5においてそのデータD 2に所定の記憶用処理を施した後、メモリセルアレイ群2に送出する。

【0042】

またツイスト用反転判断回路9は、このとき外部から入力された記憶コマンドC 2と、1又は複数個のビット線対BL 1、……、BL 128に割り当てられた1又は複数個の列アドレスを指定する列アドレスデータD 3とを選択回路6及び7を介して取り込む。

【0043】

ツイスト用反転判断回路9は、記憶コマンドC 2及び列アドレスデータD 3をタイミングコントローラ10を介してカラムデコーダ13に送出する。

【0044】

カラムデコーダ13は、図5に示すように、記憶コマンドC 2に従ってデータ記憶処理を開始し、メモリセルアレイ群2のメモリセルアレイMSA 10乃至M

SA13において、列アドレスデータD3に基づく1又は複数個の列アドレスで指定された1又は複数個のビット線対BL1、……、BL128に対応する記憶制御トランジスタTR1のゲートに、ジェネレータ12で発生した所定電圧を印加してオンさせる。

【0045】

これによりロウデコーダ11及びカラムデコーダ13は、メモリセルアレイMSA10乃至MSA13において、入力端子からバッファBAを介して入力させた記憶対象のデータD2を記憶制御トランジスタTR1を介して、1又は複数個の列アドレスで指定された1又は複数本のビット線BL1A、……、BL128Bに取り込み、当該取り込んだデータD2をワード線WL1、……、WL512上でオン動作しているMOSトランジスタTR4を介してキャパシタCに引き込んで記憶する。

【0046】

そしてツイスト用反転判断回路9は、半導体記憶装置1に外部から入力された記憶終了用のプリチャージコマンドC3を選択回路6を介して取り込むと、当該プリチャージコマンドC3をタイミングコントローラ10を介してロウデコーダ11及びカラムデコーダ13に送出することにより、当該ロウデコーダ11及びカラムデコーダ13にプリチャージコマンドC3に従ってデータD2に対する記憶処理を終了させる。

【0047】

このようにしてロウデコーダ11及びカラムデコーダ13は、行アドレス及び列アドレスで指定されたワード線WL1、……、WL512及びビット線対BL1、……、BL128に接続されているメモリセルMSにデータD2を記憶し得ると共に、上述した一連の記憶処理を順次繰り返して実行することによりメモリセルアレイ群2の複数のメモリセルMSに対して所定データ量毎のデータD2を順次記憶し得るようになされている。

【0048】

また半導体記憶装置1は、通常のデータ再生時、外部から再生開始用のアクティブコマンドC4と共に、1本のワード線WL1、……、WL512に割り当て

られた1個の行アドレスを指定する行アドレスデータD4が入力されると、これらを選択回路6及び7を介してツイスト用反転判断回路9に取り込む。

【0049】

ツイスト用反転判断回路9は、アクティブコマンドC4及び行アドレスデータD4をタイミングコントローラ10を介してロウデコーダ11に送出する。

【0050】

ここで図5に示すように、ロウデコーダ11は、アクティブコマンドC4に従ってデータ再生用にワード線WL1、……、WL512の設定処理を開始し、メモリセルアレイ群2のメモリセルアレイMSA10乃至MSA13において、行アドレスデータD4に基づく1個の行アドレスで指定された1本のワード線WL1、……、WL512に、ジェネレータ12で発生した所定電圧を印加することにより当該ワード線WL1、……、WL512に接続されているメモリセルMSのMOSトランジスタTR4をオンさせる。

【0051】

これによりロウデコーダ11は、キャパシタCからすでに記憶しているデータD2をMOSトランジスタTR4を介して引き出してセンスアンプSAで増幅した後、第1の再生制御トランジスタTR2のゲートに供給する。

【0052】

この状態でツイスト用反転判断回路9は、半導体記憶装置1に外部から引き続き入力された再生コマンドC5と、1又は複数個のビット線対BL1、……、BL128に割り当てられた1又は複数個の列アドレスを指定する列アドレスデータD5とを選択回路6及び7を介して取り込み、当該再生コマンドC5及び列アドレスデータD5をタイミングコントローラ10を介してカラムデコーダ13に送出する。

【0053】

このときカラムデコーダ13は、図5に示すように、再生コマンドC5に従ってデータ再生処理を開始し、メモリセルアレイ群2のメモリセルアレイMSA10乃至MSA13において、列アドレスデータD5に基づく1又は複数個の列アドレスで指定された1又は複数個のビット線対BL1、……、BL128に対応

する 1 又は複数の第 2 の再生制御トランジスタ TR 3 のゲートにジェネレータ 1 2 で発生した所定電圧を印加することにより当該第 2 の再生制御トランジスタ TR 3 をオンさせる。

【0054】

ここでカラムデコーダ 13 は、メモリセル MS から再生したデータ D 2 が「0」レベルの場合、当該データ D 2 を供給した第 1 の再生制御トランジスタ TR 2 がオフとなり、この状態でオンさせた第 2 の再生制御トランジスタ TR 3 には「1」レベルよりも低い不安定なレベルのデータが発生するものの、当該データをそのまま反転回路 I V 及び出力端子を順次介してデータ処理回路 5 に送出して所定の再生処理を施すことにより、「0」レベルのデータ D 2 として反転処理部 4 から外部に出力する。

【0055】

またカラムデコーダ 13 は、メモリセル MS から再生したデータ D 2 が「1」レベルの場合、当該データ D 2 を供給した第 1 の再生制御トランジスタ 2 がオンとなり、この状態でオンさせた第 2 の再生制御トランジスタ TR 3 には接地により「0」レベルのデータが発生することにより、当該「0」レベルのデータを反転回路 I V で反転させて「1」レベルのデータ D 2 として出力端子からデータ処理回路 5 に送出し、当該データ処理回路 5 において所定の再生用処理を施した後、反転処理部 4 から外部に出力する。

【0056】

そしてツイスト用反転判断回路 9 は、半導体記憶装置 1 に外部から入力された再生終了用のプリチャージコマンド C 6 を選択回路 6 を介して取り込むと、当該プリチャージコマンド C 6 をタイミングコントローラ 10 を介してロウデコーダ 11 及びカラムデコーダ 13 に送出することにより、当該ロウデコーダ 11 及びカラムデコーダ 13 にプリチャージコマンド C 6 に従ってデータ D 2 に対する再生処理を終了させる。

【0057】

このようにしてロウデコーダ 11 及びカラムデコーダ 13 は、行アドレス及び列アドレスで指定されたワード線 WL 1、……、WL 512 及びビット線対 BL

1、……、BL128に接続されているメモリセルMSからすでに記憶しているデータD2を再生すると共に、上述した一連の再生処理を順次繰り返して実行することによりメモリセルアレイ群2の複数のメモリセルMSから所定データ量のデータD2を順次再生し得るようになされている。

【0058】

因みに半導体記憶装置1は、通常のデータ記憶時及びデータ再生時にはビット線対BL1、……、BL128のツイストを何ら考慮せず、外部から入力されたデータD2を行アドレス及び列アドレスで指定されたワード線WL1、……、WL512及びビット線対BL1、……、BL128に接続されたメモリセルMSに対して記憶再生している。

【0059】

かかる構成に加えてこの半導体記憶装置1の場合、製造工程の導通検査により、メモリセルアレイ群2のメモリセルMSA10乃至MSA13内に不良メモリセルが存在するか否かが検査される。

【0060】

この結果、半導体記憶装置1は、導通検査によりメモリセルアレイMSA10乃至MSA13のいずれかで不良メモリセルが検出されると、外部から入力される、冗長メモリセル配置領域RGAR1乃至RGAR8を使用するように命令するシフトコマンドC7と、不良メモリセルに接続されているワード線WL1、……、WL512に割り当てられた行アドレスを指定する行アドレスデータD6とを選択回路6及び7、ツイスト用反転判断回路9を順次介してシフト処理回路15に取り込む。

【0061】

シフト処理回路15は、個々のメモリセルアレイMSA10乃至MSA13において、複数のワード線WL1、……、WL512に割り当てられた複数の行アドレスを所定の行アドレス管理個数（例えば、8個）単位で順番に区切って、当該行アドレス管理個数毎に管理している。

【0062】

従ってシフト処理回路15は、シフトコマンドC7に従ってシフト冗長処理を

開始すると、図6に示すように、不良メモリセルNMSの存在する例えばメモリセルアレイMSA10に対し、行アドレスデータD6に基づく1個の行アドレスを含む行アドレス管理個数の行アドレスが割り当てられた当該行アドレス管理個数に対応する本数（例えば、8本であり、以下、この本数を管理対応本数と呼ぶ）のワード線WL1、……、WL512（すなわち、不良メモリセルNMSに接続されている1本のワード線WL1、……、WL512を含む）をロウデコーダ11から物理的に切断する。

【0063】

これによりシフト処理回路15は、メモリセルアレイMSA10に対して、ロウデコーダ11から物理的に切断した管理対応本数分のワード線（以下、これを特に切断ワード線群と呼ぶ）WL1、……、WL512と共に、これに接続されている不良メモリセルNMSを有し、かつ行アドレス管理個数に対応する所定行分（すなわち、8行分）の複数のメモリセルMSをこの後データD2の記憶再生に使用させないようにする。

【0064】

またシフト処理回路15は、メモリセルアレイMSA10に対して、切断ワード線群WL1、……、WL512に割り当てられた行アドレス管理個数の行アドレスから、メモリセル配置領域MGAR1の列方向の一端及び他端のいずれか一方の管理対応本数（すなわち、8本）のワード線WL1、……、WL512に割り当てられた行アドレス管理個数（すなわち、8個）の行アドレスまでを順次行アドレス管理個数単位で当該一端又は他端側に隣接する管理対応本数の冗長ワード線RWLL1、……、RWLL8又はRWLH1、……、RWLH8までシフトさせる。

【0065】

これによりシフト処理回路15は、シフトさせた行アドレス（以下、これを特にシフト行アドレスと呼ぶ）をそのシフト先となる、切断ワード線群WL1、……、WL512と隣接する管理対応本数のワード線WL1、……、WL512から当該管理対応本数の冗長ワード線RWLL1、……、RWLL8又はRWLH1、……、RWLH8までに割り当て直す。

【0066】

このようにしてシフト処理回路15は、メモリセルアレイMSA10に対して、ワード線WL1、……、WL512に接続されたメモリセルMSの列方向に対する使用範囲をシフトさせ、かくして不良メモリセルに替えて冗長メモリセルRMSをデータD2の記憶再生に使用し得るようにする。

【0067】

そしてシフト処理回路15は、このようにシフト冗長処理を実行した場合、シフト行アドレスを割り当て直した複数のワード線WL1、……、WL512及び冗長ワード線RWLL1、……、RWLL8又はRWLH1、……、RWLH8のうち外部から入力された行アドレス（以下、これを入力行アドレスと呼ぶ）で指定されたワード線WL1、……、WL512及び冗長ワード線RWLL1、……、RWLL8又はRWLH1、……、RWLH8に対して配線位置入替部分CCAR10及びCCAR11が交差するビット線対BL1、……、BL128を判別するためのシフト情報を生成して保持する。

【0068】

またシフト処理回路15は、予めシフト冗長処理の実行の有無を示すシフト冗長処理情報を保持しており、シフト冗長処理を実行したときには、当該シフト冗長処理情報の内容をシフト冗長処理の実行を示すように変更する。

【0069】

さらにシフト処理回路15は、シフト冗長処理の実行前の状態で、行アドレスが割り当てられた複数のワード線WL1、……、WL512のうち、入力行アドレスで指定されたワード線WL1、……、WL512に対して配線位置入替部分CCAR10及びCCAR11が交差するビット線対BL1、……、BL128をツイストのみを考慮して判別するためのツイスト情報を予め保持している。

【0070】

実際にツイスト情報には、メモリセルアレイMSA1乃至MSA4毎にエリア境界に対して列方向の一端側及び他端側でそれぞれ隣接して配線された所定本数（すなわち、行アドレスのシフト可能な最大シフト量と同じ本数）のワード線WL1、……、WL512に割り当てられた行アドレスと、当該所定本数のワード

線WL 1、……、WL 512が交差するビット線対BL 1、……、BL 128の配線位置非入替部分NCAR 10乃至NCAR 12及び配線位置入替部分CCAR 10及びCCAR 11を当該所定本数のワード線WL 1、……、WL 512の配線された第1乃至第4のエリアAREA 1乃至AREA 4として対応付けて示す情報が格納されている。

【0071】

因みにかかる実施の形態では、行アドレスの行アドレス管理個数を8個として当該行アドレスをその行アドレス管理個数単位でシフトさせると共に、冗長メモリセル配置領域RGAR 1乃至RGAR 8に8本の冗長ワード線RWLL 1、……、RWLL 8及びRWLH 1、……、RWLH 8を配線していることにより、行アドレスのシフト可能な最大シフト量は必然的に行アドレス管理個数に対応する管理対応本数となる。

【0072】

またシフト情報には、全てのシフト行アドレスと、当該全てのシフト行アドレスに対するシフト方向（すなわち、メモリセルアレイMSA 10に対する列方向と平行な一端方向又は他端方向）と、全てのシフト行アドレスに対する元の行アドレスからのシフト量（例えば、1個の行アドレスを最小単位として何個の行アドレス分シフトしたかで示す）とを、個々のシフト行アドレス毎に対応付けて示す情報が格納されている。

【0073】

因みにかかる実施の形態では、行アドレスの行アドレス管理個数を例えば8個として当該行アドレスをその行アドレス管理個数単位でシフトさせると共に、冗長メモリセル配置領域RGAR 1乃至RGAR 8に8本の冗長ワード線RWLL 1、……、RWLL 8又はRWLH 1、……、RWLH 8を配線していることにより、シフト量は必然的に行アドレス管理個数となる。

【0074】

そしてツイスト情報は、単独で使用されると、シフト冗長処理の実行前の状態で、入力行アドレスで指定されたワード線WL 1、……、WL 512に対して配線位置入替部分CCAR 10及びCCAR 11が交差するビット線対BL 1、…

…、BL128を判別させ得るようになされている。

【0075】

またシフト情報は、ツイスト情報と共に使用されることで、シフト冗長処理の実行後に入力行アドレスで指定されたワード線WL1、……、WL512及び冗長ワード線RWLL1、……、RWLL8及びRWLH1、……、RWLH8に対して配線位置入替部分CCAR10及びCCAR11が交差するビット線対BL1、……、BL128を判別させ得るようになされている。

【0076】

この状態でツイスト用反転判断回路9は、半導体記憶装置1が起動すると、シフト処理回路15からシフト冗長処理情報及びシフト情報並びにツイスト情報を読み出して保持する。

【0077】

そしてツイスト用反転判断回路9は、半導体記憶装置1に外部から入力されたデータ依存性の評価試験を実行するための評価試験実行コマンドC8を選択回路6を介して取り込むと、当該取り込んだ評価試験実行コマンドC8に従ってビット線対BL1、……、BL128のツイスト箇所に応じたデータ反転判断処理を開始し、シフト冗長処理情報及びシフト情報並びにツイスト情報をシフト用反転判断回路16に送出する。

【0078】

シフト用反転判断回路16は、ツイスト用反転判断回路9から与えられたシフト冗長処理情報の内容がシフト冗長処理の実行を示している、と、行アドレスのシフトに応じたデータ反転判断処理を開始し、シフト情報及びツイスト情報を保持する。

【0079】

そしてツイスト用反転判断回路9は、半導体記憶装置1に外部から入力された記憶開始用のアクティブコマンドC10と、1本のワード線WL1、……、WL512又は冗長ワード線RWLL1、……、RWLL8又はRWLH1、……、RWLH8に割り当てられた1個の入力行アドレスを指定する行アドレスデータD7とを選択回路6及び7を介して取り込む。

【0080】

ツイスト用反転判断回路9は、行アドレスデータD7に基づく入力行アドレスを、ツイスト情報に基づく、シフト冗長処理の実行前の複数の行アドレス（以下、これを比較対象行アドレスと呼ぶ）と比較することにより、当該入力行アドレスが比較対象行アドレスと一致するか否か、また比較対象行アドレスに対して入力行アドレスが大きいか又は小さいかを検出する。

【0081】

そしてツイスト用反転判断回路9は、その検出結果と、ツイスト情報に基づく複数の比較対象行アドレスに対応付けられた第1乃至第4のエリアAREA1乃至AREA4とに基づいて、入力行アドレスで指定されたワード線WL1、……、WL512（すなわち、シフト冗長処理の実行前のワード線WL1、……、WL512）又は冗長ワード線RWLL1、……、RWLL8又はRWLH1、……、RWLH8が配線されている配線エリア（すなわち、第1乃至第4のエリアAREA1乃至AREA4）を判別する。

【0082】

ここでツイスト用反転判断回路9は、配線エリアを第1のエリアAREA1と判別すると、第1のエリアAREA1には1回ツイストしたビット線対（以下、これを特に1回ツイストビット線対と呼ぶ）BL1、……、BL127及び2回ツイストしたビット線対（以下、これを特に2回ツイストビット線対と呼ぶ）BL2、……、BL128の両方とも配線位置非入替部分NCAR10及びNCAR11が配線されており、入力行アドレスで指定されたワード線WL1、……、WL512又は冗長ワード線RWLL1、……、RWLL8又はRWLH1、……、RWLH8に対して配線位置入替部分CCAR10及びCCAR11が交差するビット線対BL1、……、BL128が存在しないことにより、当該1回ツイストビット線対BL1、……、BL127及び2回ツイストビット線対BL2、……、BL128の両方に供給する記憶対象の評価試験用データD8のレベルを共に反転処理しないと判断する。

【0083】

そしてツイスト用反転判断回路9は、1回ツイストビット線対BL1、……、

BL127に供給する評価試験用データD8のレベルを反転処理しないように指示する第1の入力非反転命令と、2回ツイストビット線対BL2、……、BL128に供給する評価試験用データD8のレベルも反転処理しないように指示する第2の入力非反転命令とを、行アドレスデータD7と共にシフト用反転判断回路16に送出する。

【0084】

またツイスト用反転判断回路9は、配線エリアを第2のエリアAREA2と判別すると、第2のエリアAREA2には1回ツイストビット線対BL1、……、BL127の配線位置非入替部分NCAR10が配線されているものの、2回ツイストビット線対BL2、……、BL128の配線位置入替部分CCAR11が配線されており、入力行アドレスで指定されたワード線WL1、……、WL512又は冗長ワード線RWLL1、……、RWLL8又はRWLH1、……、RWLH8に対して配線位置入替部分CCAR10及びCCAR11が交差するビット線対BL1、……、BL128を2回ツイストビット線対BL2、……、BL128と判別する。

【0085】

これによりツイスト用反転判断回路9は、1回ツイストビット線対BL1、……、BL127に供給する評価試験用データD8のレベルを反転処理しないと判断する一方で、2回ツイストビット線対BL2、……、BL128に供給する評価試験用データD8のレベルを反転処理すると判断する。

【0086】

そしてツイスト用反転判断回路9は、1回ツイストビット線対BL1、……、BL127に供給する評価試験用データD8のレベルを反転処理しないように指示する第1の入力非反転命令と、2回ツイストビット線対BL2、……、BL128に供給する評価試験用データD8のレベルを反転処理するように指示する第2の入力反転命令とを、行アドレスデータD7と共にシフト用反転判断回路16に送出する。

【0087】

さらにツイスト用反転判断回路9は、配線エリアを第3のエリアAREA3と

判別すると、第3のエリアAREA3には1回ツイストビット線対BL1、……、BL127及び2回ツイストビット線対BL2、……、BL128の両方とも配線位置入替部分CCAR10及びCCAR11が配線されており、入力行アドレスで指定されたワード線WL1、……、WL512又は冗長ワード線RWLL1、……、RWLL8又はRWLH1、……、RWLH8に対して配線位置入替部分CCAR10及びCCAR11が交差するビット線対BL1、……、BL128を1回ツイストビット線対BL1、……、BL127及び2回ツイストビット線対BL2、……、BL128と判別する。

【0088】

これによりツイスト用反転判断回路9は、1回ツイストビット線対BL1、……、BL127及び2回ツイストビット線対BL2、……、BL128の両方に供給する評価試験用データD8のレベルをそれぞれ反転処理すると判断する。

【0089】

そしてツイスト用反転判断回路9は、1回ツイストビット線対BL1、……、BL127に供給する評価試験用データD8のレベルを反転処理するように指示する第1の入力反転命令と、2回ツイストビット線対BL2、……、BL128に供給する評価試験用データD8のレベルも反転処理するように指示する第2の入力反転命令とを、行アドレスデータD7と共にシフト用反転判断回路16に送出する。

【0090】

さらにツイスト用反転判断回路9は、配線エリアを第4のエリアAREA4と判別すると、第4のエリアAREA4には1回ツイストビット線対BL1、……、BL127の配線位置入替部分CCAR10が配線されると共に、2回ツイストビット線対BL2、……、BL128の配線位置非入替部分NCAR12が配線されており、入力行アドレスで指定されたワード線WL1、……、WL512又は冗長ワード線RWLL1、……、RWLL8又はRWLH1、……、RWLH8に対して配線位置入替部分CCAR10及びCCAR11が交差するビット線対BL1、……、BL128を1回ツイストビット線対BL1、……、BL127と判別する。

【 0 0 9 1 】

これによりツイスト用反転判断回路 9 は、1 回ツイストビット線対 B L 1、…、B L 1 2 7 に供給する評価試験用データ D 8 のレベルを反転処理すると判断する一方で、2 回ツイストビット線対 B L 2、……、B L 1 2 8 に供給する評価試験用データ D 8 のレベルを反転処理しないと判断する。

【 0 0 9 2 】

そしてツイスト用反転判断回路 9 は、1 回ツイストビット線対 B L 1、……、B L 1 2 7 に供給する評価試験用データ D 8 のレベルを反転処理するように指示する第 1 の入力反転命令と、2 回ツイストビット線対 B L 2、……、B L 1 2 8 に供給する評価試験用データ D 8 のレベルを反転処理しないように指示する第 1 の入力非反転命令とを、行アドレスデータ D 7 と共にシフト用反転判断回路 1 6 に送出する。

【 0 0 9 3 】

シフト用反転判断回路 1 6 は、行アドレスデータ D 7 に基づく入力行アドレスと、シフト情報に基づく複数のシフト行アドレスとを比較する。

【 0 0 9 4 】

この結果、シフト用反転判断回路 1 6 は、複数のシフト行アドレスのなかに入力行アドレスと一致するものがなければ、当該入力行アドレスで指定されたワード線 W L 1、……、W L 5 1 2 又は冗長ワード線 R W L L 1、……、R W L L 8 又は R W L H 1、……、R W L H 8 の配線エリアがシフト冗長処理の実行前と変わっていないと判別し得ることにより、このときツイスト用反転判断回路 9 から与えられた第 1 及び第 2 の入力非反転命令、第 1 の入力非反転命令及び第 2 の入力反転命令、第 1 及び第 2 の入力反転命令、第 1 の入力反転命令及び第 2 の入力非反転命令をそのまま反転処理部 4 に送出する。

【 0 0 9 5 】

またシフト用反転判断回路 1 6 は、複数のシフト行アドレスのなかに入力行アドレスと一致するものがあれば、入力行アドレスで指定されたワード線 W L 1、……、W L 5 1 2 又は冗長ワード線 R W L L 1、……、R W L L 8 又は R W L H 1、……、R W L H 8 の配線エリアがシフト冗長処理の実行前後で変わっている

可能性があることにより、当該入力行アドレスをツイスト情報に基づく複数の比較対象行アドレスと比較する。

【0096】

ここで複数の比較対象行アドレスのなかに入力行アドレスと一致するものがないければ、このことは入力行アドレスで指定されたワード線WL 1、……、WL 5 1 2 又は冗長ワード線RWLL 1、……、RWLL 8 又はRWLH 1、……、RWLH 8 がシフト冗長処理によりシフト行アドレスを割り当て直したワード線WL 1、……、WL 5 1 2 又は冗長ワード線RWLL 1、……、RWLL 8 又はRWLH 1、……、RWLH 8 であるものの、そのシフト行アドレスが元の行アドレスからシフト境界を乗り越えずにシフトしているために、当該ワード線WL 1、……、WL 5 1 2 又は冗長ワード線RWLL 1、……、RWLL 8 又はRWLH 1、……、RWLH 8 の配線エリアがシフト冗長処理の実行前と変わっていないことを表す。

【0097】

従ってシフト用反転判断回路 16 は、このとき入力行アドレスで指定されたワード線WL 1、……、WL 5 1 2 の配線エリアがシフト冗長処理の実行前後で変わっていないと判断して、ツイスト用反転判断回路 9 から与えられた第 1 及び第 2 の入力非反転命令、第 1 の入力非反転命令及び第 2 の入力反転命令、第 1 及び第 2 の入力反転命令、第 1 の入力反転命令及び第 2 の入力非反転命令をそのまま反転処理部 4 に送出する。

【0098】

これに対して比較対象行アドレスのなかに入力行アドレスと一致するものがあるれば、このことは入力行アドレスと一致した比較対象行アドレスが、当該入力行アドレスと一致したシフト行アドレスに対するシフト前の行アドレスであることを表す。

【0099】

従ってシフト用反転判断回路 16 は、このときシフト情報に基づくシフト行アドレスのシフト方向及びシフト量と、ツイスト情報に基づく比較対象行アドレスに対応する第 1 乃至第 4 のエリアAREA 1 乃至AREA 4 との情報を用いて、

当該入力行アドレスと一致した比較対象行アドレスがシフト冗長処理により第 1 乃至第 4 のエリア AREA 1 乃至 AREA 4 のいずれのエリアからエリア境界を乗り越えてシフトしたか否かを判断する。

【0 1 0 0】

この結果、シフト用反転判断回路 1 6 は、入力行アドレスと一致した比較対象行アドレスがエリア境界を乗り越えずにシフトしていれば、当該入力行アドレスで指定されたワード線 WL 1、……、WL 5 1 2 の配置エリアがシフト冗長処理の実行前と変わっていないと判断し得ることにより、このときツイスト用反転判断回路 9 から与えられた第 1 及び第 2 の入力非反転命令、第 1 の入力非反転命令及び第 2 の入力反転命令、第 1 及び第 2 の入力反転命令、第 1 の入力反転命令及び第 2 の入力非反転命令をそのまま反転処理部 4 に送出する。

【0 1 0 1】

これに対してシフト用反転判断回路 1 6 は、比較対象行アドレスが第 1 のエリア AREA 1 からエリア境界を乗り越えて第 2 のエリア AREA 2 にシフトしていると判断すると、このとき入力行アドレスで指定されたワード線 WL 1、……、WL 5 1 2 に対して配線位置入替部分 CCAR 1 0 及び CCAR 1 1 が交差するビット線対 BL 1、……、BL 1 2 8 を 2 回ツイストビット線対 BL 2、……、BL 1 2 8 と判別する。

【0 1 0 2】

この結果、シフト用反転判断回路 1 6 は、このときツイスト用反転判断回路 9 から与えられた第 1 及び第 2 の入力非反転命令のうち 1 回ツイストビット線対 BL 1、……、BL 1 2 7 に対応する第 1 の入力非反転命令はそのまま変更せずに、2 回ツイストビット線対 BL 2、……、BL 1 2 8 に対応する第 2 の入力非反転命令を第 2 の入力反転命令に変更して、これら第 1 の入力非反転命令及び第 2 の入力反転命令を反転処理部 4 に送出する。

【0 1 0 3】

またシフト用反転判断回路 1 6 は、比較対象行アドレスが第 2 のエリア AREA 2 からエリア境界を乗り越えて第 1 のエリア AREA 1 にシフトしていると判断すると、このとき入力行アドレスで指定されたワード線 WL 1、……、WL 5

1 2 に対して配線位置入替部分 C C A R 1 0 及び C C A R 1 1 が交差するビット線対 B L 1、……、B L 1 2 8 が存在しないと判別する。

【 0 1 0 4 】

この結果、シフト用反転判断回路 1 6 は、このときツイスト用反転判断回路 9 から与えられた第 1 の入力非反転命令及び第 2 の入力反転命令のうち 1 回ツイストビット線対 B L 1、……、B L 1 2 7 に対応する第 1 の入力非反転命令はそのまま変更せずに、2 回ツイストビット線対 B L 2、……、B L 1 2 8 に対応する第 2 の入力反転命令を第 2 の入力非反転命令に変更して、これら第 1 及び第 2 の入力非反転命令を反転処理部 4 に送出する。

【 0 1 0 5 】

さらにシフト用反転判断回路 1 6 は、比較対象行アドレスが第 2 のエリア A R E A 2 からエリア境界を乗り越えて第 3 のエリア A R E A 3 にシフトしていると判断すると、このとき入力行アドレスで指定されたワード線 W L 1、……、W L 5 1 2 に対して配線位置入替部分 C C A R 1 0 及び C C A R 1 1 が交差するビット線対 B L 1、……、B L 1 2 8 を 1 回ツイストビット線対 B L 1、……、B L 1 2 7 及び 2 回ツイストビット線対 B L 2、……、B L 1 2 8 と判別する。

【 0 1 0 6 】

この結果、シフト用反転判断回路 1 6 は、このときツイスト用反転判断回路 9 から与えられた第 1 の入力非反転命令及び第 2 の入力反転命令のうち 1 回ツイストビット線対 B L 1、……、B L 1 2 7 に対応する第 1 の入力非反転命令を第 1 の入力反転命令に変更し、2 回ツイストビット線対 B L 2、……、B L 1 2 8 に対応する第 2 の入力反転命令はそのまま変更せずに、これら第 1 及び第 2 の入力反転命令を反転処理部 4 に送出する。

【 0 1 0 7 】

さらにシフト用反転判断回路 1 6 は、比較対象行アドレスが第 3 のエリア A R E A 3 からエリア境界を乗り越えて第 2 のエリア A R E A 2 にシフトしていると判断すると、このとき入力行アドレスで指定されたワード線 W L 1、……、W L 5 1 2 に対して配線位置入替部分 C C A R 1 0 及び C C A R 1 1 が交差するビット線対 B L 1、……、B L 1 2 8 を 2 回ツイストビット線対 B L 2、……、B L

128と判別する。

【0108】

この結果、シフト用反転判断回路16は、このときツイスト用反転判断回路9から与えられた第1及び第2の入力反転命令のうち1回ツイストビット線対BL1、……、BL127に対応する第1の入力反転命令を第1の入力非反転命令に変更し、2回ツイストビット線対BL2、……、BL128に対応する第2の入力反転命令をそのまま変更せずに、これら第1の入力非反転命令及び第2の入力反転命令を反転処理部4に送出する。

【0109】

さらにシフト用反転判断回路16は、比較対象行アドレスが第3のエリアAREA3からエリア境界を乗り越えて第4のエリアAREA4にシフトしていると判断すると、このとき入力行アドレスで指定されたワード線WL1、……、WL512に対して配線位置入替部分CCAR10及びCCAR11が交差するビット線対BL1、……、BL128を1回ツイストビット線対BL1、……、BL127と判別する。

【0110】

この結果、シフト用反転判断回路16は、このときツイスト用反転判断回路9から与えられた第1及び第2の入力反転命令のうち1回ツイストビット線対BL1、……、BL127に対応する第1の入力反転命令はそのまま変更せずに、2回ツイストビット線対BL2、……、BL128に対応する第2の入力反転命令を第2の入力非反転命令に変更して、これら第1の入力反転命令及び第2の入力非反転命令を反転処理部4に送出する。

【0111】

さらにシフト用反転判断回路16は、比較対象行アドレスが第4のエリアAREA4からエリア境界を乗り越えて第3のエリアAREA3にシフトしていると判断すると、このとき入力行アドレスで指定されたワード線WL1、……、WL512に対して配線位置入替部分CCAR10及びCCAR11が交差するビット線対BL1、……、BL128を1回ツイストビット線対BL1、……、BL127及び2回ツイストビット線対BL2、……、BL128と判別する。

【0112】

この結果、シフト用反転判断回路 16 は、このときツイスト用反転判断回路 9 から与えられた第 1 の入力反転命令及び第 2 の入力非反転命令のうち 1 回ツイストビット線対 B L 1、……、B L 1 2 7 に対応する第 1 の入力反転命令はそのまま変更せずに、2 回ツイストビット線対 B L 2、……、B L 1 2 8 に対応する第 2 の入力非反転命令を第 2 の入力反転命令に変更して、これら第 1 及び第 2 の入力反転命令を反転処理部 4 に送出する。

【0113】

反転処理部 4 は、内部に 1 回ツイストビット線対 B L 1、……、B L 1 2 7 の 2 本のビット線 B L 1 A 及び B L 1 B、……、B L 1 2 7 A 及び B L 1 2 7 B にそれぞれ接続され、評価試験用データ D 8 のレベルを記憶時に反転処理する第 1 の入力反転回路と、2 回ツイストビット線対 B L 2、……、B L 1 2 8 の 2 本のビット線 B L 2 A 及び B L 2 B、……、B L 1 2 8 A 及び B L 1 2 8 B にそれぞれ接続され、評価試験用データ D 8 のレベルを記憶時に反転処理する第 2 の入力反転回路とが設けられている。

【0114】

また反転処理部 4 は、内部に 1 回ツイストビット線対 B L 1、……、B L 1 2 7 の 2 本のビット線 B L 1 A 及び B L 1 B、……、B L 1 2 7 A 及び B L 1 2 7 B にそれぞれ接続され、評価試験用データ D 8 のレベルを再生時に反転処理する第 1 の出力反転回路と、2 回ツイストビット線対 B L 2、……、B L 1 2 8 の 2 本のビット線 B L 2 A 及び B L 2 B、……、B L 1 2 8 A 及び B L 1 2 8 B にそれぞれ接続され、評価試験用データ D 8 のレベルを再生時に反転処理する第 2 の出力反転回路とが設けられている。

【0115】

そして反転処理部 4 は、シフト用反転判断回路 16 から第 1 のエリア AREA 1 に対応する第 1 及び第 2 の入力非反転命令が与えられると、これに応じて第 1 及び第 2 の入力反転回路に対して両方とも評価試験用データ D 8 のレベルを反転処理せずにそのまま通過させてデータ処理回路 5 に送出するように制御する。

【0116】

また反転処理部 4 は、シフト用反転判断回路 1 6 から第 2 のエリア AREA 2 に対応する第 1 の入力非反転命令及び第 2 の入力反転命令が与えられると、これに応じて第 1 の入力反転回路に対して評価試験用データ D 8 のレベルを反転処理せずにそのまま通過させてデータ処理回路 5 に送出するように制御すると共に、第 2 の入力反転回路に対して評価試験用データ D 8 のレベルを反転処理してデータ処理回路 5 に送出するように制御する。

【0 1 1 7】

さらに反転処理部 4 は、シフト用反転判断回路 1 6 から第 3 のエリア AREA 3 に対応する第 1 及び第 2 の入力反転命令が与えられると、これに応じて第 1 及び第 2 の入力反転回路の両方に対して評価試験用データ D 8 のレベルを反転処理してデータ処理回路 5 に送出するように制御する。

【0 1 1 8】

さらに反転処理部 4 は、シフト用反転判断回路 1 6 から第 4 のエリア AREA 4 に対応する第 1 の入力反転命令及び第 2 の入力非反転命令が与えられると、これに応じて第 1 の入力反転回路に対して評価試験用データ D 8 のレベルを反転処理してデータ処理回路 5 に送出するように制御すると共に、第 2 の入力反転回路に対して評価試験用データ D 8 のレベルを反転処理せずにそのままデータ処理回路 5 に送出するように制御する。

【0 1 1 9】

ところでツイスト用反転判断回路 9 は、シフト用反転判断回路 1 6 から第 1 及び第 2 の入力非反転命令、第 1 の入力非反転命令及び第 2 の入力反転命令、第 1 及び第 2 の入力反転命令、第 1 の入力反転命令及び第 2 の入力非反転命令が反転処理部 4 に送出されると、アクティブコマンド C 1 0 及び行アドレスデータ D 7 をタイミングコントローラ 1 0 を介してロウデコーダ 1 1 に送出する。

【0 1 2 0】

この状態でツイスト用反転判断回路 9 は、半導体記憶装置 1 に入力された記憶コマンド C 1 1 及び列アドレスデータ D 9 を選択回路 6 及び 7 を介して取り込むと、当該記憶コマンド C 1 1 及び列アドレスデータ D 9 をタイミングコントローラ 1 0 を介してカラムデコーダ 1 3 に送出する。

【0121】

このとき反転処理部 4 は、半導体記憶装置 1 に外部から入力された評価試験用の評価試験用データ D 8 を選択回路 3 を介して取り込むことにより、当該取り込んだ評価試験用データ D 8 のレベルを第 1 及び第 2 の入力反転回路で上述した制御通りに反転処理し及び又は反転処理せずにデータ処理回路 5 を介してメモリセルアレイ群 2 に送出する。

【0122】

これによりロウデコーダ 11 及びカラムデコーダ 13 は、図 1 及び図 5 について上述した場合と同様に記憶処理を実行するものの、データ依存性の評価試験に先立ってシフト冗長処理を実行していても、反転処理部 4 において「0」及び「1」レベルの評価試験用データ D 8 のレベルが事前にツイスト箇所及び行アドレスのシフトに応じて反転処理又は非反転処理される分、図 7 に示すように、各メモリセルアレイ MSA 10 乃至 MSA 13 内で入力行アドレスと列アドレスとで指定されたワード線 WL 1、……、WL 512 及び冗長ワード線 RWLL 1、……、RWLL 8 又は RWLH 1、……、RWLH 8 と、ビット線対 BL 1、……、BL 128 とに接続されている複数のメモリセル MS 及び冗長メモリセル RMS に対して当該「0」及び「1」レベルの評価試験用データ D 8 を外部でメモリセル MS の物理的な配置位置に応じて予め選定された所定の記憶パターンで記憶し得るようになされている。

【0123】

そしてツイスト用反転判断回路 9 は、半導体記憶装置 1 に外部から入力された記憶終了用のプリチャージコマンド C 12 を選択回路 6 を介して取り込むと、当該プリチャージコマンド C 12 をタイミングコントローラ 10 を介してロウデコーダ 11 及びカラムデコーダ 13 に送出することにより、当該ロウデコーダ 11 及びカラムデコーダ 13 にプリチャージコマンド C 12 に従って評価試験用データ D 8 に対する記憶処理を終了させる。

【0124】

因みにシフト用反転判断回路 16 は、ツイスト用反転判断回路 9 から与えられたシフト冗長処理情報の内容がシフト冗長処理を実行してはいないことを示して

いると、行アドレスのシフトに応じたデータ反転判断処理を実行せずに、ツイスト用反転判断回路 9 から与えられる第 1 及び第 2 の入力非反転命令、第 1 の入力非反転命令及び第 2 の入力反転命令、第 1 及び第 2 の入力反転命令、第 1 の入力反転命令及び第 2 の入力非反転命令をそのまま反転処理部 4 に送出する。

【0125】

そして反転処理部 4 は、このようにシフト用反転判断回路 16 でデータ反転判断処理が実行されない場合でも、当該シフト用反転判断回路 16 から与えられた第 1 及び第 2 の入力非反転命令、第 1 の入力非反転命令及び第 2 の入力反転命令、第 1 及び第 2 の入力反転命令、第 1 の入力反転命令及び第 2 の入力非反転命令に応じて上述と同様に第 1 及び第 2 の入力反転回路を制御することにより各メモリセルアレイ MSA10 乃至 MSA13 内の複数のメモリセル MS に対して「0」及び「1」レベルの評価試験用データ D8 を外部で予め選定された記憶パターンで記憶し得るようになされている。

【0126】

一方、ツイスト用反転判断回路 9 は、メモリセルアレイ MSA10 乃至 MSA13 の複数のメモリセル MS 及び冗長メモリセル RMS に対して評価試験用データ D8 を記憶した後、半導体記憶装置 1 に外部から引き続き再生開始用のアクティブコマンド C13 と、1 本のワード線 WL1、……、WL512 又は冗長ワード線 RWLL1、……、RWLL8 又は RWLH1、……、RWLH8 を指定する 1 個の行アドレスを示す入力行アドレスデータ D10 とが入力されると、これらを選択回路 6 及び 7 を介して取り込む。

【0127】

この場合、ツイスト用反転判断回路 9 は、上述した評価試験用データ D8 の記憶時と同様に、行アドレスデータ D10 に基づく入力行アドレスで指定されたワード線 WL1、……、WL512 又は冗長ワード線 RWLL1、……、RWLL8 又は RWLH1、……、RWLH8 が配線されている配線エリアを判別する。

【0128】

この結果、ツイスト用反転判断回路 9 は、配線エリアを第 1 のエリア AREA1 と判別すると、入力行アドレスで指定されたワード線 WL1、……、WL51

2又は冗長ワード線RWLL1、……、RWLL8又はRWLH1、……、RWLH8に対して配線位置入替部分CCAR10及びCCAR11が交差するビット線対BL1、……、BL128が存在しないことにより、当該1回ツイストビット線対BL1、……、BL127及び又は2回ツイストビット線対BL2、……、BL128の両方から再生に応じて出力される評価試験用データD8のレベルを共に反転処理しないと判断する。

【0129】

そしてツイスト用反転判断回路9は、1回ツイストビット線対BL1、……、BL127から出力される評価試験用データD8のレベルを反転処理しないように指示する第1の出力非反転命令と、2回ツイストビット線対BL2、……、BL128から出力される評価試験用データD8のレベルも反転処理しないように指示する第2の出力非反転命令とを、行アドレスデータD10と共にシフト用反転判断回路16に送出する。

【0130】

またツイスト用反転判断回路9は、配線エリアを第2のエリアAREA2と判別すると、入力行アドレスで指定されたワード線WL1、……、WL512又は冗長ワード線RWLL1、……、RWLL8又はRWLH1、……、RWLH8に対して配線位置入替部分CCAR10及びCCAR11が交差するビット線対BL1、……、BL128を2回ツイストビット線対BL2、……、BL128と判別する。

【0131】

これによりツイスト用反転判断回路9は、1回ツイストビット線対BL1、……、BL127から再生に応じて出力される評価試験用データD8のレベルを反転処理しないと判断する一方で、2回ツイストビット線対BL2、……、BL128から再生に応じて出力される評価試験用データD8のレベルを反転処理すると判断する。

【0132】

そしてツイスト用反転判断回路9は、1回ツイストビット線対BL1、……、BL127から出力される評価試験用データD8のレベルを反転処理しないよう

に指示する第 1 の出力非反転命令と、2 回ツイストビット線対 B L 2、……、B L 1 2 8 から出力される評価試験用データ D 8 のレベルを反転処理するように指示する第 2 の出力反転命令とを、行アドレスデータ D 1 0 と共にシフト用反転判断回路 1 6 に送出する。

【0 1 3 3】

さらにツイスト用反転判断回路 9 は、配線エリアを第 3 のエリア A R E A 3 と判別すると、入力行アドレスで指定されたワード線 W L 1、……、W L 5 1 2 又は冗長ワード線 R W L L 1、……、R W L L 8 又は R W L H 1、……、R W L H 8 に対して配線位置入替部分 C C A R 1 0 及び C C A R 1 1 が交差するビット線対 B L 1、……、B L 1 2 8 を 1 回ツイストビット線対 B L 1、……、B L 1 2 7 及び 2 回ツイストビット線対 B L 2、……、B L 1 2 8 と判別する。

【0 1 3 4】

これによりツイスト用反転判断回路 9 は、1 回ツイストビット線対 B L 1、……、B L 1 2 7 及び 2 回ツイストビット線対 B L 2、……、B L 1 2 8 の両方から再生に応じて出力される評価試験用データ D 8 のレベルをそれぞれ反転処理すると判断する。

【0 1 3 5】

そしてツイスト用反転判断回路 9 は、1 回ツイストビット線対 B L 1、……、B L 1 2 7 から出力される評価試験用データ D 8 を反転処理するように指示する第 1 の出力反転命令と、2 回ツイストビット線対 B L 2、……、B L 1 2 8 から出力される評価試験用データ D 8 のレベルも反転処理するように指示する第 2 の出力反転命令とを、行アドレスデータ D 1 0 と共にシフト用反転判断回路 1 6 に送出する。

【0 1 3 6】

さらにツイスト用反転判断回路 9 は、配線エリアを第 4 のエリア A R E A 4 と判別すると、入力行アドレスで指定されたワード線 W L 1、……、W L 5 1 2 又は冗長ワード線 R W L L 1、……、R W L L 8 又は R W L H 1、……、R W L H 8 に対して配線位置入替部分 C C A R 1 0 及び C C A R 1 1 が交差するビット線対 B L 1、……、B L 1 2 8 を 1 回ツイストビット線対 B L 1、……、B L 1 2

7と判別する。

【0137】

これによりツイスト用反転判断回路9は、1回ツイストビット線対BL1、…、BL127から再生に応じて出力される評価試験用データD8のレベルを反転処理すると判断する一方で、2回ツイストビット線対BL2、……、BL128から再生に応じて出力される評価試験用データD8のレベルを反転処理しないと判断する。

【0138】

そしてツイスト用反転判断回路9は、1回ツイストビット線対BL1、……、BL127から出力される評価試験用データD8のレベルを反転処理するように指示する第1の出力反転命令と、2回ツイストビット線対BL2、……、BL128から出力される評価試験用データD8のレベルを反転処理しないように指示する第1の出力非反転命令とを、行アドレスデータD10と共にシフト用反転判断回路16に送出する。

【0139】

シフト用反転判断回路16は、上述した評価試験用データD8の記憶時と同様に行アドレスデータD10に基づく入力行アドレスで指定されたワード線WL1、……、WL512の配線エリアがシフト冗長処理の実行前後で変更されているか否かを判別し、当該入力行アドレスで指定されたワード線WL1、……、WL512の配線エリアがシフト冗長処理の実行前後で変わっていないと判別すると、このときツイスト用反転判断回路9から与えられた第1及び第2の出力非反転命令、第1の出力非反転命令及び第2の出力反転命令、第1及び第2の出力反転命令、第1の出力反転命令及び第2の出力非反転命令をそのまま反転処理部4に送出する。

【0140】

またシフト用反転判断回路16は、入力行アドレスで指定されたワード線WL1、……、WL512の配線エリアがシフト冗長処理の実行前後で第1のエリアAREA1から第2のエリアAREA2に変わっていると判断すると、このとき入力行アドレスで指定されたワード線WL1、……、WL512に対して配線位

置入替部分CCAR10及びCCAR11が交差するビット線対BL1、……、BL128を2回ツイストビット線対BL2、……、BL128と判別する。

【0141】

この結果、シフト用反転判断回路16は、このときツイスト用反転判断回路9から与えられた第1及び第2の出力非反転命令のうち第1の出力非反転命令はそのまま変更せずに、第2の出力非反転命令を第2の出力反転命令に変更して、これら第1の出力非反転命令及び第2の出力反転命令を反転処理部4に送出する。

【0142】

さらにシフト用反転判断回路16は、入力行アドレスで指定されたワード線WL1、……、WL512の配線エリアがシフト冗長処理の実行前後で第2のエリアAREA2から第1のエリアAREA1に変わっていると判断すると、このとき入力行アドレスで指定されたワード線WL1、……、WL512に対して配線位置入替部分CCAR10及びCCAR11が交差するビット線対BL1、……、BL128が存在しないと判別する。

【0143】

この結果、シフト用反転判断回路16は、このときツイスト用反転判断回路9から与えられた第1の出力非反転命令及び第2の出力反転命令のうち第1の出力非反転命令はそのまま変更せずに、第2の出力反転命令を第2の出力非反転命令に変更して、これら第1及び第2の出力非反転命令を反転処理部4に送出する。

【0144】

さらにシフト用反転判断回路16は、入力行アドレスで指定されたワード線WL1、……、WL512の配線エリアがシフト冗長処理の実行前後で第2のエリアAREA2から第3のエリアAREA3に変わっていると判断すると、このとき入力行アドレスで指定されたワード線WL1、……、WL512に対して配線位置入替部分CCAR10及びCCAR11が交差するビット線対BL1、……、BL128を1回ツイストビット線対BL1、……、BL127及び2回ツイストビット線対BL2、……、BL128と判別する。

【0145】

この結果、シフト用反転判断回路16は、このときツイスト用反転判断回路9

から与えられた第1の出力非反転命令及び第2の出力反転命令のうち第1の出力非反転命令を第1の出力反転命令に変更し、第2の出力反転命令はそのまま変更せずに、これら第1及び第2の出力反転命令を反転処理部4に送出する。

【0146】

さらにシフト用反転判断回路16は、入力行アドレスで指定されたワード線WL1、……、WL512の配線エリアがシフト冗長処理の実行前後で第3のエリアAREA3から第2のエリアAREA2に変わっていると判断すると、このとき入力行アドレスで指定されたワード線WL1、……、WL512に対して配線位置入替部分CCAR10及びCCAR11が交差するビット線対BL1、……、BL128を2回ツイストビット線対BL2、……、BL128と判別する。

【0147】

この結果、シフト用反転判断回路16は、このときツイスト用反転判断回路9から与えられた第1及び第2の出力反転命令のうち第1の出力反転命令を第1の出力非反転命令に変更し、第2の出力反転命令をそのまま変更せずに、これら第1の出力非反転命令及び第2の出力反転命令を反転処理部4に送出する。

【0148】

さらにシフト用反転判断回路16は、入力行アドレスで指定されたワード線WL1、……、WL512の配線エリアがシフト冗長処理の実行前後で第3のエリアAREA3から第4のエリアAREA4に変わっていると判断すると、このとき入力行アドレスで指定されたワード線WL1、……、WL512に対して配線位置入替部分CCAR10及びCCAR11が交差するビット線対BL1、……、BL128を1回ツイストビット線対BL1、……、BL127と判別する。

【0149】

この結果、シフト用反転判断回路16は、このときツイスト用反転判断回路9から与えられた第1及び第2の出力反転命令のうち第1の出力反転命令はそのまま変更せずに、第2の出力反転命令を第2の出力非反転命令に変更して、これら第1の出力反転命令及び第2の出力非反転命令を反転処理部4に送出する。

【0150】

さらにシフト用反転判断回路16は、入力行アドレスで指定されたワード線W

L 1、……、WL 5 1 2 の配線エリアがシフト冗長処理の実行前後で第 4 のエリア AREA 4 から第 3 のエリア AREA 3 に変わっていると判断すると、このとき入力行アドレスで指定されたワード線 WL 1、……、WL 5 1 2 に対して配線位置入替部分 CCAR 1 0 及び CCAR 1 1 が交差するビット線対 BL 1、……、BL 1 2 8 を 1 回ツイストビット線対 BL 1、……、BL 1 2 7 及び 2 回ツイストビット線対 BL 2、……、BL 1 2 8 と判別する。

【0151】

この結果、シフト用反転判断回路 1 6 は、このときツイスト用反転判断回路 9 から与えられた第 1 の出力反転命令及び第 2 の出力非反転命令のうち第 1 の出力反転命令はそのまま変更せずに、第 2 の出力非反転命令を第 2 の出力反転命令に変更して、これら第 1 及び第 2 の出力反転命令を反転処理部 4 に送出する。

【0152】

そして反転処理部 4 は、シフト用反転判断回路 1 6 から第 1 のエリア AREA 1 に対応する第 1 及び第 2 の出力非反転命令が与えられると、これに応じて第 1 及び第 2 の出力反転回路に対して両方とも評価試験用データ D 8 を反転処理せずにそのまま通過させて外部に出力するように制御する。

【0153】

また反転処理部 4 は、シフト用反転判断回路 1 6 から第 2 のエリア AREA 2 に対応する第 1 の出力非反転命令及び第 2 の出力反転命令が与えられると、これに応じて第 1 の出力反転回路に対して再生対象のデータ D 8 を反転処理せずにそのまま通過させて外部に出力するように制御すると共に、第 2 の出力反転回路に対して評価試験用データ D 8 を反転処理して外部に出力するように制御する。

【0154】

さらに反転処理部 4 は、シフト用反転判断回路 1 6 から第 3 のエリア AREA 3 に対応する第 1 及び第 2 の出力反転命令が与えられると、これに応じて第 1 及び第 2 の出力反転回路の両方に対して評価試験用データ D 8 を反転処理して外部に出力するように制御する。

【0155】

さらに反転処理部 4 は、シフト用反転判断回路 1 6 から第 4 のエリア AREA

4に対応する第1の出力反転命令及び第2の出力非反転命令が与えられると、これに応じて第1の出力反転回路に対して評価試験用データD8を反転処理して外部に出力するように制御すると共に、第2の出力反転回路に対して評価試験用データD8を反転処理せずにそのまま通過させて外部に出力するように制御する。

【0156】

ここでツイスト用反転判断回路9は、シフト用反転判断回路16から第1及び第2の出力非反転命令、第1の出力非反転命令及び第2の出力反転命令、第1及び第2の出力反転命令、第1の出力反転命令及び第2の出力非反転命令が反転処理部4に送出されると、アクティブコマンドC13及び行アドレスデータD10をタイミングコントローラ10を介してロウデコーダ11に送出する。

【0157】

この状態でツイスト用反転判断回路9は、半導体記憶装置1に入力された再生コマンドC14及び列アドレスデータD11を選択回路6及び7を介して取り込むと、当該再生コマンドC14及び列アドレスデータD11をタイミングコントローラ10を介してカラムデコーダ13に送出する。

【0158】

これによりロウデコーダ11及びカラムデコーダ13は、図1及び図5について上述した場合と同様に再生処理を実行し、各メモリセルアレイMSA10乃至MSA13内で入力行アドレスと列アドレスとで指定されたワード線WL1、…、WL512及び冗長ワード線RWLL1、……、RWLL8又はRWLH1、……、RWLH8と、ビット線対BL1、……、BL128とに接続されている複数のメモリセルMS及び冗長メモリセルRMSから「0」及び「1」レベルの評価試験用データD8を再生してデータ処理回路5を介して反転処理部4に送出する。

【0159】

そして反転処理部4は、このときメモリセルアレイ群2からデータ処理回路5を介して与えられた評価試験用データD8を第1及び第2の出力反転回路で上述した制御通りに反転処理し及び又は反転処理せずに外部に出力する。

【0160】

これにより反転処理部 4 は、データ依存性の評価試験に先立って実行されたシフト冗長処理に応じて、外部から入力された評価試験用データ D 8 のレベルを適宜反転処理して記憶パターンで複数のメモリセル MS 及び冗長メモリセル RMS に記憶しても、当該複数のメモリセル MS 及び冗長メモリセル RMS からその評価試験用データ D 8 を再生した際に再び適宜反転処理することにより記憶時の反転処理を相殺して外部に出力し得るようになされている。

【0161】

そしてツイスト用反転判断回路 9 は、半導体記憶装置 1 に外部から入力された記憶終了用のプリチャージコマンド C 15 を選択回路 6 を介して取り込むと、当該プリチャージコマンド C 15 をタイミングコントローラ 10 を介してロウデコーダ 11 及びカラムデコーダ 13 に送出することにより、当該ロウデコーダ 11 及びカラムデコーダ 13 にプリチャージコマンド C 15 に従って評価試験用データ D 8 に対する再生処理を終了させる。

【0162】

因みにシフト用反転判断回路 16 は、ツイスト用反転判断回路 9 から与えられたシフト冗長処理情報の内容がシフト冗長処理を実行してはいないことを示していると、上述した評価試験用データ D 8 の記憶時と同様に行アドレスのシフトに応じたデータ反転判断処理を実行せずに、ツイスト用反転判断回路 9 から与えられる第 1 及び第 2 の出力非反転命令、第 1 の出力非反転命令及び第 2 の出力反転命令、第 1 及び第 2 の出力反転命令、第 1 の出力反転命令及び第 2 の出力非反転命令をそのまま反転処理部 4 に送出する。

【0163】

従って反転処理部 4 は、このようにシフト用反転判断回路 16 でデータ反転判断処理が実行されない場合でも、当該シフト用反転判断回路 16 から与えられた第 1 及び第 2 の出力非反転命令、第 1 の出力非反転命令及び第 2 の出力反転命令、第 1 及び第 2 の出力反転命令、第 1 の出力反転命令及び第 2 の出力非反転命令に応じて上述と同様に第 1 及び第 2 の出力反転回路を制御することにより各メモリセルアレイ MSA 10 乃至 MSA 13 内の複数のメモリセル MS から再生された評価試験用データ D 8 を、記憶時の反転処理を相殺して外部に出力し得るよう

になされている。

【0164】

實際上、図8（A）乃至（L）に示すように、半導体記憶装置1の各回路は、評価試験用データD8の記憶時、それぞれタイミングジェネレータ9で生成される基準動作クロックに従って動作する（図8（A））。

【0165】

この状態でツイスト用反転判断回路9は、外部から入力されたアクティブコマンドC10及び行アドレスデータD7を取り込む（図8（B）及び（C））と、上述したツイスト箇所に応じたデータ反転判断処理を実行する。

【0166】

ここでシフト用反転判断回路16は、ツイスト用反転判断回路9によるツイスト箇所に応じたデータ反転判断処理に引き続いて行アドレスのシフトに応じたデータ反転判断処理を実行した結果、例えばメモリセルアレイMSA10において第1のエリアAREA2に配線されたワード線WL1、……、WL512に割り当てられた行アドレスがシフト冗長処理によりシフト行アドレスとして第2のエリアAREA1に配線された他のワード線WL1、……、WL512に割り当て直されたことにより、当該ツイスト用反転判断回路9から与えられた第1及び第2の入力非反転命令のうち第2の入力非反転命令のみを第2の入力反転命令に変更すると、反転処理部4に対して当該第1の入力非反転命令及び第2の入力反転命令の送出を開始する（図8（F））。

【0167】

そして反転処理部4は、シフト用反転判断回路16から与えられた第1の入力非反転命令及び第2の入力反転命令の取り込みを開始した時点に、1回ツイストビット線対BL1、……、BL127に対応する第1の入力反転回路に対して評価試験用データD8を反転処理しないように制御し始めると共に、2回ツイストビット線対BL2、……、BL128に対応する第2の入力反転回路に対して一度は反転処理しないように判断されたものの（図8（H）に示す点線）、評価試験用データD8を反転処理するように制御し始める（図8（H））。

【0168】

またツイスト用反転判断回路 9 は、シフト用反転判断回路 16 から反転処理部 4 への第 1 の入力非反転命令及び第 2 の入力反転命令の送出が開始されると、アクティブコマンド C 10 及び行アドレスデータ D 7 をロウデコーダ 11 に送出する。

【0169】

これによりロウデコーダ 11 は、シフト用反転判断回路 16 から反転処理部 4 への第 1 の入力非反転命令及び第 2 の入力反転命令の送信開始とほぼ同時点に、メモリセルアレイ MSA 10 において、行アドレスデータ D 7 に基づく 1 個の入力行アドレスで指定され、かつ第 2 のエリア AREA 2 に配線された 1 本のワード線 WL 1、……、WL 512 に対してジェネレータ 12 で発生した所定電圧を印加し始める（図 8（D）及び（E））。

【0170】

そしてツイスト用反転判断回路 9 は、外部から入力される記憶コマンド C 11 及び列アドレスデータ D 9 を取り込む（図 8（B）及び（C））と、これをカラムデコーダ 13 に送出する。

【0171】

これによりカラムデコーダ 13 は、ツイスト用反転判断回路 9 によって記憶コマンド C 11 及び列アドレスデータ D 9 が取り込まれた時点とほぼ同時点に、列アドレスデータ D 9 に基づく列アドレスで指定された 1 回ツイストビット線対 BL 1、……、BL 127 及び 2 回ツイストビット線対 BL 2、……、BL 128 の入出力段の記憶制御トランジスタ TR 1 をオンさせる。

【0172】

また反転処理部 4 は、ツイスト用反転判断回路 9 によって記憶コマンド C 11 及び列アドレスデータ D 9 が取り込まれた時点とほぼ同時点に、外部から供給された、1 回ツイストビット線対 BL 1、……、BL 127 を介してメモリセル MS に記憶すべき評価試験用データ D 8 を取り込む（図 8（I））と共に、2 回ツイストビット線対 BL 2、……、BL 128 を介してメモリセル MS に記憶すべき評価試験用データ D 8 を取り込み（図 8（J））、当該取り込んだ評価試験用データ D 8 のレベルを第 1 の入力反転回路により反転処理せずにそのままメモリ

セルアレイMSA10の1回ツイストビット線対BL1、……、BL127に供給してメモリセルMSに記憶する（図8（K））と共に、第2の入力反転回路により反転処理し、得られた評価試験用データD13をメモリセルアレイMSA10の2回ツイストビット線対BL2、……、BL128に供給してメモリセルMSに記憶する（図8（L））。

【0173】

そしてツイスト反転判断回路8は、この後、外部から入力されたプリチャージコマンドC12を取り込む（図8（B））と、当該プリチャージコマンドC12をシフト用反転判断回路16、ロウデコーダ11及びカラムデコーダ13に送出する。

【0174】

これによりシフト用反転判断回路16は、ツイスト用反転判断回路9によってプリチャージコマンドC12が取り込まれた時点とほぼ同時点に、反転処理部4への第1の入力非反転命令及び第2の入力反転命令の送出を停止して（図8（F））、当該反転処理部4による第1及び第2の入力反転回路に対する制御を停止させる（図8（H））。

【0175】

またロウデコーダ11及びカラムデコーダ13は、ツイスト用反転判断回路9によってプリチャージコマンドC12が取り込まれた時点とほぼ同時点に、入力行アドレスで指定されたワード線WL1、……、WL512を用いた評価試験用データD8の記憶処理を終了する（図8（D））。

【0176】

ところで図9（A）乃至（L）に示すように、シフト用反転判断回路16は、データ反転判断処理を実行した結果、例えばメモリセルアレイMSA10において第2のエリアAREA2に配線されたワード線WL1、……、WL512に割り当てられた行アドレスがシフト冗長処理によりシフト行アドレスとして第1のエリアAREA1に配線された他のワード線WL1、……、WL512に割り当て直されたことにより、ツイスト用反転判断回路9から与えられた第1の入力非反転命令及び第2の入力反転命令のうち当該第2の入力反転命令を第2の入力非

反転命令に変更すると、反転処理部 4 に対して第 1 及び第 2 の入力非反転命令の送出を開始する（図 9（G））。

【0177】

そして反転処理部 4 は、シフト用反転判断回路 16 から与えられた第 1 及び第 2 の入力非反転命令の取り込みを開始した時点に、第 1 の入力反転回路に対して評価試験用データ D 8 を反転処理しないように制御し始めると共に、第 2 の入力反転回路に対して一度は反転処理するように判断されたものの（図 9（H）の点線）、評価試験用データ D 8 を反転処理しないように制御し始める（図 9（H））。

【0178】

またツイスト用反転判断回路 9 は、シフト用反転判断回路 16 から反転処理部 4 への第 1 及び第 2 の入力非反転命令の送出が開始されると、アクティブコマンド C 10 及び行アドレスデータ D 7 をロウデコーダ 11 に送出する。

【0179】

これによりロウデコーダ 11 は、シフト用反転判断回路 16 から反転処理部 4 への第 1 及び第 2 の入力非反転命令の送信開始とほぼ同時点に、メモリセルアレイ MSA 10 において、行アドレスデータ D 7 に基づく 1 個の入力行アドレスで指定され、かつ第 1 のエリア AREA 1 に配線された 1 本のワード線 WL 1、…、WL 512 に対してジェネレータ 12 で発生した所定電圧を印加し始める（図 9（D）及び（E））。

【0180】

そしてツイスト用反転判断回路 9 は、外部から入力される記憶コマンド C 11 及び列アドレスデータ D 9 を取り込むと（図 9（B）及び（C））、これをカラムデコーダ 13 に送出する。

【0181】

これによりカラムデコーダ 13 は、ツイスト用反転判断回路 9 によって記憶コマンド C 11 及び列アドレスデータ D 9 が取り込まれた時点とほぼ同時点に、列アドレスデータ D 9 に基づく列アドレスで指定された 1 回ツイストビット線対 BL 1、……、BL 127 及び 2 回ツイストビット線対 BL 2、……、BL 128

の入出力段の記憶制御トランジスタ TR1 をオンさせる。

【0182】

また反転処理部 4 は、ツイスト用反転判断回路 9 によって記憶コマンド C11 及び列アドレスデータ D9 が取り込まれた時点とほぼ同時点に、外部から供給された、1 回ツイストビット線対 BL1、……、BL127 を介してメモリセル MS に記憶すべき評価試験用データ D8 を取り込む（図 9（I））と共に、2 回ツイストビット線対 BL2、……、BL128 を介してメモリセル MS に記憶すべき評価試験用データ D8 を取り込み（図 9（J））、当該取り込んだ評価試験用データ D8 のレベルを第 1 の入力反転回路により反転処理せずにそのままメモリセルアレイ MSA10 の 1 回ツイストビット線対 BL1、……、BL127 に供給してメモリセル MS に記憶する（図 9（K））と共に、第 2 の入力反転回路によっても反転処理せずにメモリセルアレイ MSA10 の 2 回ツイストビット線対 BL2、……、BL128 に供給してメモリセル MS に記憶する（図 9（L））。

【0183】

一方、図 10（A）乃至（L）に示すように、半導体記憶装置 1 の各回路は、評価試験用データ D8 の再生時、それぞれタイミングジェネレータ 9 で生成される基準動作クロックに従って動作する（図 10（A））。

【0184】

この状態でツイスト用反転判断回路 9 は、外部から入力されたアクティブコマンド C13 及び行アドレスデータ D10 を取り込む（図 10（B）及び（C））と、上述したツイスト箇所に応じたデータ反転判断処理を実行する。

【0185】

ここでシフト用反転判断回路 16 は、行アドレスのシフトに応じたデータ反転判断処理を実行した結果、例えばメモリセルアレイ MSA10 において第 1 のエリア AREA2 に配線されたワード線 WL1、……、WL512 に割り当てられた行アドレスがシフト冗長処理によりシフト行アドレスとして第 2 のエリア AREA1 に配線された他のワード線 WL1、……、WL512 に割り当て直されたことにより、当該ツイスト用反転判断回路 9 から与えられた第 1 及び第 2 の出力

非反転命令のうち第2の出力非反転命令のみを第2の出力反転命令に変更すると、反転処理部4に対して第1の出力非反転命令及び第2の出力反転命令の送出を開始する(図10(F))。

【0186】

そして反転処理部4は、シフト用反転判断回路16から与えられた第1の出力非反転命令及び第2の出力反転命令の取り込みを開始した時点に、1回ツイストビット線対BL1、……、BL127に対応する第1の出力反転回路に対して評価試験用データD8を反転処理しないように制御し始めると共に、2回ツイストビット線対BL2、……、BL128に対応する第2の出力反転回路に対して一度は反転処理しないように判断されたものの(図10(H)の点線)、評価試験用データD13を反転処理するように制御し始める(図10(H))。

【0187】

またツイスト用反転判断回路9は、シフト用反転判断回路16から反転処理部4への第1の出力非反転命令及び第2の出力反転命令の送出が開始されると、アクティブコマンドC13及び行アドレスデータD10をロウデコーダ11に送出する。

【0188】

これによりロウデコーダ11は、シフト用反転判断回路16から反転処理部4への第1の出力非反転命令及び第2の出力反転命令の送信開始とほぼ同時点に、例えばメモリセルアレイMSA10において、行アドレスデータD10に基づく1個の入力行アドレスで指定され、かつ第2のエリアAREA2に配線された1本のワード線WL1、……、WL512に対してジェネレータ12で発生した所定電圧を印加し始め(図10(D)及び(E))、かくしてメモリセルMSから評価試験用データD8及びD13を引き出して第1の再生制御トランジスタTR2のゲートに供給する。

【0189】

そしてツイスト用反転判断回路9は、外部から入力される再生コマンドC14及び列アドレスデータD11を取り込む(図10(B)及び(C))と、これをカラムデコーダ13に送出する。

【0190】

カラムデコーダ13は、ツイスト用反転判断回路9によって再生コマンドC14及び列アドレスデータD11が取り込まれた時点とほぼ同時点に、列アドレスデータD11に基づく列アドレスで指定された1回ツイストビット線対BL1、……、BL127及び2回ツイストビット線対BL2、……、BL128の第2の再生制御トランジスタTR3をオンさせ、かくして1回ツイストビット線対BL1、……、BL127から評価試験用データD8を反転処理部4に送出する（図10（I））と共に、2回ツイストビット線対BL2、……、BL128から評価試験用データD13を反転処理部4に送出する（図10（J））。

【0191】

これにより反転処理部4は、1回ツイストビット線対BL1、……、BL127に対応する第1の出力反転回路により評価試験用データD8のレベルを反転処理せずに外部に出力する（図10（K））と共に、2回ツイストビット線対BL2、……、BL128に対応する第2の出力反転回路により評価試験用データD13のレベルを反転処理して外部に出力する（図10（L））。

【0192】

そしてツイスト反転判断回路8は、外部から入力されたプリチャージコマンドC15を取り込む（図10（B））と、当該プリチャージコマンドC15をシフト用反転判断回路16、ロウデコーダ11及びカラムデコーダ13に送出する。

【0193】

これによりシフト用反転判断回路16は、ツイスト用反転判断回路9によってプリチャージコマンドC15が取り込まれた時点とほぼ同時点に、反転処理部4への第1の出力非反転命令及び第2の出力反転命令の送出を停止して（図10（F））、当該反転処理部4による第1及び第2の出力反転回路に対する制御を停止させる（図10（H））。

【0194】

またロウデコーダ11及びカラムデコーダ13は、ツイスト用反転判断回路9によってプリチャージコマンドC15が取り込まれた時点とほぼ同時点に、入力行アドレスで指定されたワード線WL1、……、WL512を用いた評価試験用

データ D 8 及び D 1 3 の再生処理を終了する（図 1 0 （D））。

【0195】

ところで図 1 1 （A）乃至（L）に示すように、シフト用反転判断回路 1 6 は、行アドレスのシフトに応じたデータ反転判断処理を実行した結果、メモリセルアレイ M S A 1 0 において第 2 のエリア A R E A 2 に配線されたワード線 W L 1、……、W L 5 1 2 に割り当てられた行アドレスがシフト冗長処理によりシフト行アドレスとして第 1 のエリア A R E A 1 に配線された他のワード線 W L 1、…、W L 5 1 2 に割り当て直されたことにより、ツイスト用反転判断回路 9 から与えられた第 1 の出力非反転命令及び第 2 の出力反転命令のうち当該第 2 の出力反転命令のみを第 2 の出力非反転命令に変更すると、反転処理部 4 に対して第 1 及び第 2 の出力非反転命令の送出を開始する（図 1 1 （G））。

【0196】

そして反転処理部 4 は、シフト用反転判断回路 1 6 から与えられた第 1 及び第 2 の出力非反転命令の取り込みを開始した時点で、第 1 の出力反転回路に対して評価試験用データ D 8 を反転処理しないように制御し始めると共に、第 2 の出力反転回路に対して一度は反転処理するように判断されたものの（図 1 1 （H）の点線）、評価試験用データ D 8 を反転処理しないように制御し始める（図 1 1 （H））。

【0197】

またツイスト用反転判断回路 9 は、シフト用反転判断回路 1 6 から反転処理部 4 への第 1 及び第 2 の出力非反転命令の送出が開始されると、アクティブコマンド C 1 3 及び行アドレスデータ D 1 0 をロウデコーダ 1 1 に送出する。

【0198】

これによりロウデコーダ 1 1 は、シフト用反転判断回路 1 6 から反転処理部 4 への第 1 及び第 2 の出力非反転命令の送信開始とほぼ同時点に、メモリセルアレイ M S A 1 0 において、行アドレスデータ D 7 に基づく 1 個の入力行アドレスで指定され、かつ第 1 のエリア A R E A 1 に配線された 1 本のワード線 W L 1、…、W L 5 1 2 に対してジェネレータ 1 2 で発生した所定電圧を印加し始め（図 1 1 （D）及び（E））、かくしてメモリセル M S から評価試験用データ D 8 を

引き出して第1の再生制御トランジスタTR2のゲートに供給する。

【0199】

そしてツイスト用反転判断回路9は、外部から入力される再生コマンドC14及び列アドレスデータD11を取り込む(図10(B)及び(C))と、これをカラムデコーダ13に送出する。

【0200】

カラムデコーダ13は、ツイスト用反転判断回路9によって再生コマンドC14及び列アドレスデータD11が取り込まれた時点とほぼ同時点に、列アドレスデータD11に基づく列アドレスで指定された1回ツイストビット線対BL1、……、BL127及び2回ツイストビット線対BL2、……、BL128の第2の再生制御トランジスタTR3をオンさせ、かくして1回ツイストビット線対BL1、……、BL127から評価試験用データD8を反転処理部4に送出する(図10(I))と共に、2回ツイストビット線対BL2、……、BL128からも評価試験用データD8を反転処理部4に送出する(図10(J))。

【0201】

これにより反転処理部4は、1回ツイストビット線対BL1、……、BL127に対応する第1の出力反転回路により評価試験用データD8のレベルを反転処理せずに外部に出力する(図10(K))と共に、2回ツイストビット線対BL2、……、BL128に対応する第2の出力反転回路によっても評価試験用データD8のレベルを反転処理せずに外部に出力する(図10(L))。

【0202】

なおこの実施の形態の場合、半導体記憶装置1(図1)は、外部の電源電圧が通常動作時の駆動電圧よりも高い又は低い試験用駆動電圧が印加された状態でバーンイン試験と呼ばれる加速試験を実行する際に機能するテスト回路17が設けられている。

【0203】

この場合、テスト回路17は、半導体記憶装置1に試験用駆動電圧が印加された状態で外部から加速試験の実行命令が入力されると、これに応じて加速試験コマンドC20を選択回路6を介してツイスト用反転判断回路9に送出することに

より、当該ツイスト用反転判断回路 9 に上述したツイスト箇所に応じたデータ反転判断処理を開始させると共に、これに連動させてシフト用反転判断回路 16 に上述した行アドレスのシフトに応じたデータ反転判断処理を開始させるようになされている。

【0204】

そしてテスト回路 17 は、上述した評価試験用データ D 8 の記憶時と同様のアクティブコマンド C 10、記憶コマンド C 11 及びプリチャージコマンド C 12 を発生して選択回路 6 を介してツイスト用反転判断回路 9 に送出すると共に、行アドレスデータ D 7 及び列アドレスデータ D 9 も発生して選択回路 7 を介してツイスト用反転判断回路 9 に送出する。

【0205】

さらにテスト回路 17 は、加速試験用データ D 15 を発生し、これを選択回路 3 を介して反転処理部 4 に供給する。

【0206】

これによりテスト回路 17 は、後段の各回路に上述した評価試験時と同様にメモリセルアレイ群 2 の各メモリセル MS 及び冗長メモリセル RMS に対して加速試験用データ D 15 を記憶させることができる。

【0207】

またテスト回路 17 は、各メモリセル MS 及び冗長メモリセル RMS に対して加速試験用データ D 15 を記憶させた後、上述した評価試験用データ D 8 の再生時と同様のアクティブコマンド C 13、再生コマンド C 14 及びプリチャージコマンド C 15 を発生して選択回路 6 を介してツイスト用反転判断回路 9 に送出すると共に、行アドレスデータ D 10 及び列アドレスデータ D 11 も発生して選択回路 7 を介してツイスト用反転判断回路 9 に送出する。

【0208】

これによりテスト回路 17 は、後段の各回路に上述した評価試験時と同様にメモリセルアレイ群 2 の各メモリセル MS 及び冗長メモリセル RMS から加速試験用データ D 15 を再生させて外部に出力させることができ、かくして各メモリセル MS 及び冗長メモリセル RMS に対して評価試験時と同様にストレスを与えな

がら加速試験を実施し得ると共に、外部の所定の検査装置に対して半導体記憶装置 1 を加速試験により評価させ得るようになされている。

【0209】

因みにテスト回路 17 は、半導体記憶装置 1 に試験用駆動電圧が印加された状態で、上述した通常のデータ記憶時及びデータ再生時と同様のコマンドと共に所定のデータを発生して後段の各回路に供給することにより、ツイスト用反転判断回路 9 及びシフト用反転判断回路 16 にツイスト箇所に応じたデータ反転判断処理及び行アドレスのシフトに応じたデータ反転判断処理を実行させずに加速試験用データの記憶再生処理を実行させることもできる。

【0210】

なおテスト回路 17 は、選択回路 3、6 及び 7 を制御することにより外部から供給されたデータ及びコマンドと、自己の発生したデータ及びコマンドのいずれをツイスト用反転判断回路 9 及び反転処理部 4 に供給するかを選択し得るようになされている。

【0211】

またかかる半導体記憶装置 1 においては、テスト回路 17 を用いた加速試験の実施のみならず外部から供給されるコマンド及びデータを用いても、テスト回路 17 を用いた場合と同様に加速試験を実施し得るようになされている。

【0212】

以上の構成において、この半導体記憶装置 1 は、評価試験用データ D8 の記憶時、ツイスト用反転判断回路 9 により、入力行アドレスで指定されたワード線 WL1、……、WL512 又は冗長ワード線 RWLL1、……、RWLL8 又は RWLH1、……、RWLH8 に対してシフト冗長処理の実行前に配線位置入替部分 CCAR10 及び CCAR11 が交差するビット線対 BL1、……、BL128 を判別し（図 12、ステップ SP1）、当該判別結果に従って、1 回ツイストビット線対 BL1、……、BL127 及び 2 回ツイストビット線対 BL2、……、BL128 に供給する評価試験用データ D8 に対する反転処理の有無を判断する（図 12、ステップ SP2）。

【0213】

そして半導体記憶装置 1 は、シフト用反転判断回路 16 により、入力行アドレスで指定されたワード線 WL 1、……、WL 512 又は冗長ワード線 RWL L 1、……、RWL L 8 又は RWL H 1、……、RWL H 8 に対してシフト冗長処理の実行後に配線位置入替部分 CCAR 10 及び CCAR 11 が交差するビット線対 BL 1、……、BL 128 を判別し（図 12、ステップ SP 3）、当該判別結果に従って、1 回ツイストビット線対 BL 1、……、BL 127 及び 2 回ツイストビット線対 BL 2、……、BL 128 に供給する評価試験用データ D 8 に対する反転の有無を変更するか否かを判断する（図 12、ステップ SP 4）。

【0214】

この結果、半導体記憶装置 1 は、入力行アドレスで指定されたワード線 WL 1、……、WL 512 に対して配線位置入替部分 CCAR 10 及び CCAR 11 の交差するビット線対 BL 1、……、BL 128 がシフト冗長処理の実行前後で変わっていると、これに応じてシフト用反転判断回路 16 により、1 回ツイストビット線対 BL 1、……、BL 127 及び 2 回ツイストビット線対 BL 2、……、BL 128 に供給する評価試験用データ D 8 に対する反転処理の有無を変更して反転処理部 4 の第 1 及び第 2 の入力反転回路を制御する（図 12、ステップ SP 5）。

【0215】

そして半導体記憶装置 1 は、外部から入力された評価試験用データ D 8 のレベルを第 1 の入力反転回路により反転処理して又は反転処理せずに 1 回ツイストビット線対 BL 1、……、BL 127 に供給すると共に、当該評価試験用データ D 8 のレベルを第 2 の入力反転回路により反転処理して又は反転処理せずに 2 回ツイストビット線対 BL 2、……、BL 128 に供給してワード線 WL 1、……、WL 512 上の複数のメモリセル MS 及び冗長メモリセル RMS にそれぞれ評価試験用データ D 8 を記憶した後（図 12、ステップ SP 6）、各メモリセル MS 及び冗長メモリセル RMS に対する評価試験用データ D 8 の記憶処理を終了する（図 12、ステップ SP 7）。

【0216】

ところで半導体記憶装置 1 は、入力行アドレスで指定されたワード線 WL 1、

……、WL 5 1 2 又は冗長ワード線RWL L 1、……、RWL L 8 又はRWL H 1、……、RWL H 8 に対して配線位置入替部分CCAR 1 0 及びCCAR 1 1 の交差するビット線対BL 1、……、BL 1 2 8 がシフト冗長処理の実行前後で変わっていないと、これに応じてシフト用反転判断回路16により、1回ツイストビット線対BL 1、……、BL 1 2 7 及び2回ツイストビット線対BL 2、…、BL 1 2 8 に供給する評価試験用データD 8 に対する反転処理の有無を変更せずに第1及び第2の入力反転回路を制御する(図12、ステップSP 8)。

【0217】

そして半導体記憶装置1は、外部から入力された評価試験用データD 8 のレベルを第1の入力反転回路により反転処理して又は反転処理せずに1回ツイストビット線対BL 1、……、BL 1 2 7 に供給すると共に、当該評価試験用データD 8 のレベルを第2の入力反転回路により反転処理して又は反転処理せずに2回ツイストビット線対BL 2、……、BL 1 2 8 に供給してワード線WL 1、……、WL 5 1 2 又は冗長ワード線RWL L 1、……、RWL L 8 又はRWL H 1、…、RWL H 8 上の複数のメモリセルMS にそれぞれ評価試験用データD 8 を記憶する(図12、ステップSP 6)。

【0218】

一方、半導体記憶装置1は、評価試験用データD 8 の再生時、ツイスト用反転判断回路9により上述した評価試験用データD 8 の記憶時と同様に、入力行アドレスで指定されたワード線WL 1、……、WL 5 1 2 又は冗長ワード線RWL L 1、……、RWL L 8 又はRWL H 1、……、RWL H 8 に対してシフト冗長処理の実行前に配線位置入替部分CCAR 1 0 及びCCAR 1 1 が交差するビット線対BL 1、……、BL 1 2 8 を判別し(図12、ステップSP 1)、当該判別結果に従って、1回ツイストビット線対BL 1、……、BL 1 2 7 及び2回ツイストビット線対BL 2、……、BL 1 2 8 から再生に応じて出力される評価試験用データD 8 に対する反転処理の有無を判断する(図12、ステップSP 2)。

【0219】

そして半導体記憶装置1は、シフト用反転判断回路16により上述した評価試験用データD 8 の記憶時と同様に、入力行アドレスで指定されたワード線WL 1

、……、WL 5 1 2 又は冗長ワード線RWL L 1、……、RWL L 8 又はRWL H 1、……、RWL H 8 に対して配線位置入替部分CCAR 1 0 及びCCAR 1 1 が交差するビット線対BL 1、……、BL 1 2 8 を判別し（図 1 2、ステップ SP 3）、当該判別結果に従って、1 回ツイストビット線対BL 1、……、BL 1 2 7 及び2 回ツイストビット線対BL 2、……、BL 1 2 8 から再生に応じて出力される評価試験用データD 8 に対する反転の有無を変更するか否かを判断する（図 1 2、ステップ SP 4）。

【0 2 2 0】

この結果、半導体記憶装置 1 は、入力行アドレスで指定されたワード線WL 1、……、WL 5 1 2 に対して配線位置入替部分CCAR 1 0 及びCCAR 1 1 の交差するビット線対BL 1、……、BL 1 2 8 がシフト冗長処理の実行前後で変わっていると、これに応じてシフト用反転判断回路 1 6 により、1 回ツイストビット線対BL 1、……、BL 1 2 7 及び2 回ツイストビット線対BL 2、……、BL 1 2 8 から再生に応じて出力される評価試験用データD 8 に対する反転処理の有無を変更して反転処理部 4 の第 1 及び第 2 の出力反転回路を制御する（図 1 2、ステップ SP 5）。

【0 2 2 1】

そして半導体記憶装置 1 は、メモリセルMS 及び冗長メモリセルRMS から再生されて1 回ツイストビット線対BL 1、……、BL 1 2 7 から出力された評価試験用データD 8 のレベルを第 1 の出力反転回路により反転処理して又は反転処理せずに外部に出力すると共に、メモリセルMS 及び冗長メモリセルRMS から再生されて2 回ツイストビット線対BL 2、……、BL 1 2 8 から出力された評価試験用データD 8 のレベルを第 2 の出力反転回路により反転処理して又は反転処理せずに外部に出力した後（図 1 2、ステップ SP 6）、各メモリセルMS 及び冗長メモリセルRMS に対する評価試験用データD 8 の再生処理を終了する（図 1 2、ステップ SP 7）。

【0 2 2 2】

ところで半導体記憶装置 1 は、入力行アドレスで指定されたワード線WL 1、……、WL 5 1 2 又は冗長ワード線RWL L 1、……、RWL L 8 又はRWL H



1、……、RWLH8に対して配線位置入替部分CCAR10及びCCAR11の交差するビット線対BL1、……、BL128がシフト冗長処理の実行前後で変わっていないと、これに応じてシフト用反転判断回路16により、1回ツイストビット線対BL1、……、BL127及び2回ツイストビット線対BL2、……、BL128から再生に応じて出力される評価試験用データD8に対する反転処理の有無を変更せずに第1及び第2の出力反転回路を制御する（図12、ステップSP8）。

【0223】

そして半導体記憶装置1は、メモリセルMS及び冗長メモリセルRMSから再生されて1回ツイストビット線対BL1、……、BL127から出力された評価試験用データD8のレベルを第1の出力反転回路により反転処理して又は反転処理せずに外部に出力すると共に、メモリセルMS及び冗長メモリセルRMSから再生されて2回ツイストビット線対BL2、……、BL128から出力された評価試験用データD8のレベルを第2の出力反転回路により反転処理して又は反転処理せずに外部に出力する（図12、ステップSP6）。

【0224】

従ってこの半導体記憶装置1は、ビット線対BL1、……、BL128のツイスト箇所及びワード線WL1、……、WL512に割り当てられた行アドレスのシフトに応じて評価試験用データD8のレベルを適宜反転処理及び非反転処理することで、各メモリセルアレイMSA10乃至MSA13の複数のメモリセルMSの物理的な配置位置に応じて外部で選定された評価試験用データD8の記憶パターン通りに、当該評価試験用データD8を複数のメモリセルMS及び冗長メモリセルRMSに適確に記憶することができる。

【0225】

そして半導体記憶装置1は、複数のメモリセルMS及び冗長メモリセルRMSに対して記憶パターン通りに記憶した評価試験用データD8を再生する際には、再びビット線対BL1、……、BL128のツイスト箇所及びワード線WL1、……、WL512に割り当てられた行アドレスのシフトに応じて、再生した評価試験用データD8のレベルを適宜反転処理及び非反転処理することで、当該再生

した評価試験用データ D 8 に対して記憶時の反転を再度の反転で反転しなかった状態に戻して外部に出力することができる。

【0226】

この結果、半導体記憶装置 1 は、外部の所定の評価装置に対して、複数のメモリセル MS 及び冗長メモリセル RMS の物理的な配置位置に対するビット線対 BL 1、……、BL 128 のツイスト箇所及び行アドレスのシフトを何ら意識させずに、記憶前の評価試験用データ D 8 の記憶パターンと、再生後の評価試験用データ D 8 の再生パターンとを比較させて複数のメモリセル MS 及び冗長メモリセル RMS に対するデータ依存性を適確に評価させることができる。

【0227】

以上の構成によれば、評価試験用データ D 8 の記憶時に、メモリセルアレイ MSA 10 乃至 MSA 13 において、ビット線対 BL 1、……、BL 128 のツイスト箇所及び行アドレスのシフトに応じて、入力行アドレスで指定されたワード線 WL 1、……、WL 512 に対して配線位置入替部分 CCAR 10 及び CCAR 11 が交差するビット線対 BL 1、……、BL 128 を判別し、当該判別結果に従って評価試験用データ D 8 のレベルを反転処理して又は反転処理せずにビット線対 BL 1、……、BL 128 に供給して複数のメモリセル MS 及び冗長メモリセル RMS にその反転処理した又は反転処理しない評価試験用データ D 8 を記憶し、評価試験用データ D 8 の再生時に、メモリセルアレイ MSA 10 乃至 MSA 13 において、ビット線対 BL 1、……、BL 128 のツイスト箇所及び行アドレスのシフトに応じて、入力行アドレスで指定されたワード線 WL 1、……、WL 512 に対して配線位置入替部分 CCAR 10 及び CCAR 11 が交差するビット線対 BL 1、……、BL 128 を判別し、メモリセルアレイ MSA 10 乃至 MSA 13 の複数のメモリセル MS 及び冗長メモリセル RMS から再生した評価試験用データ D 8 のレベルをその判別結果に従って反転処理して又は反転処理せずに外部に出力するようにしたことにより、複数のメモリセル MS 及び冗長メモリセル RMS に対して、外部から入力された評価試験用データ D 8 を予め選定された記憶パターン通りに適確に記憶できると共に、当該複数のメモリセル MS 及び冗長メモリセル RMS から再生した評価試験用データ D 8 を記憶

時の反転を相殺して外部に出力することができ、かくして適確に評価させ得る半導体記憶装置を実現することができる。

【0228】

またかかる半導体記憶装置1は、製造工程においてデータ依存性を適確に評価させることができることにより、十分な評価がされずに市場で不良が発生することを未然に防止することができる。

【0229】

さらにこの半導体記憶装置1は、加速試験時にも評価試験のときと同様に加速試験用データD15を記憶再生することにより、加速試験及び評価試験を効率良く実施することができる。

【0230】

そしてかかる半導体記憶装置1は、内部にテスト回路17を設けたことにより、加速試験時に外部の試験装置に対する処理付加を低減させることができる。

【0231】

また半導体記憶装置1は、ツイスト用反転判断回路9によりツイスト箇所に応じたデータ反転判断処理を実行して評価試験用データD8に対する反転の有無を判断した後、シフト用反転判断回路16により行アドレスのシフトに応じたデータ反転判断処理を実行して当該評価試験用データD8に対する反転の有無を最終的に判断するようにしたことにより、シフト冗長処理を実行しない場合でもツイスト用反転判断回路9によるツイスト箇所に応じたデータ反転判断処理のみの実行により評価試験用データD8に対する反転の有無を適確に判断することができる。

【0232】

なお上述の実施の形態においては、メモリセルアレイMSA1乃至MSA4毎にエリア境界に対して列方向の一端側及び他端側でそれぞれ隣接して配線された所定本数のワード線WL1、……、WL512に割り当てられた行アドレスと、当該所定本数のワード線WL1、……、WL512が配線された第1乃至第4のエリアAREA1乃至AREA4とを対応付けて示すツイスト情報を用いてツイスト箇所に応じたデータ反転判断処理を実行した後、全てのシフト行アドレスと

、当該全てのシフト行アドレスに対するシフト方向と、全てのシフト行アドレスに対する元の行アドレスからのシフト量とを、個々のシフト行アドレス毎に対応付けて示すシフト情報を当該ツイスト情報と共に用いて行アドレスのシフトに応じたデータ反転判断処理を実行するようにした場合について述べたが、本発明はこれに限らず、シフト冗長処理を実行した際にツイスト情報と、全てのシフト行アドレス及び当該全てのシフト行アドレスに対するシフト方向並びに全てのシフト行アドレスに対する元の行アドレスからのシフト量とを用いて、当該シフト冗長処理の実行後に使用可能な全てのワード線WL 1、……、WL 512 及び冗長ワード線RWLL 1、……、RWLL 8 及びRWLH 1、……、RWLH 8 に割り当てられた行アドレス及びシフト行アドレスと、当該行アドレス及びシフト行アドレスを割り当てられたワード線WL 1、……、WL 512 及び冗長ワード線RWLL 1、……、RWLL 8 及びRWLH 1、……、RWLH 8 と交差するビット線対BL 1、……、BL 128 の配線位置非入替部分NCAR 10 乃至NCAR 12 及び配線位置入替部分CCAR 10 及びCCAR 11 とを対応付けて示すツイスト及びシフト情報を生成するようにして、シフト冗長処理を実行しなければ、ツイスト情報を用いてデータ反転判断処理を実行し、当該シフト冗長処理を実行した際にはツイスト及びシフト情報を用いてデータ反転判断処理を実行するようにしても良い。

【0233】

そしてかかるツイスト及びシフト情報を用いれば、当該ツイスト及びシフト情報に基づく行アドレス及びシフト行アドレスを入力行アドレスと比較するだけで、入力行アドレスで指定されたワード線WL 1、……、WL 512 及び冗長ワード線RWLL 1、……、RWLL 8 又はRWLH 1、……、RWLH 8 に対して配線位置入替部分CCAR 10 及びCCAR 11 が交差するビット線対BL 1、……、BL 128 を容易に判別して、データに対する最終的な反転処理の有無を1回のデータ反転判断処理の実行のみで適確に判断することができる。この結果、データ反転判断部8のツイスト用反転判断回路9及びシフト用反転判断回路16を1つの回路ブロックとして構成することができ、半導体記憶装置1の回路構成を簡易化することができると共に、データ反転判断処理に対する処理負荷を低

減させることができる。

【0234】

また上述の実施の形態においては、シフト冗長処理の際に行アドレスを8個の行アドレス管理個数単位で順次シフトさせるようにした場合について述べたが、本発明はこれに限らず、アレイ状に配置された冗長メモリセルRMSの行数よりも少ない、少なくとも1個の行アドレス管理個数単位で行アドレスをシフトさせるようにしても良く、このようにすれば、シフト冗長処理の実行回数を増加させることができ、メモリセルアレイMSA10乃至MSA13において不良メモリセルNMSにより規定数のメモリセルMSが使用し難くなることを極力防止することができる。

【0235】

さらに上述の実施の形態においては、評価試験用データD8及び加速試験用データD15の記憶再生時にデータ反転判断処理を実行するようにした場合について述べたが、本発明はこれに限らず、通常の記憶再生時にもデータ反転判断処理を実行するようにしても良く、このようにすれば、半導体記憶装置1に対して製造工程以外の市場等でも評価試験を実行して、機能の低下等を容易に確認することができる。

【0236】

さらに上述の実施の形態においては、本発明による半導体記憶装置1を図1乃至図17について上述した、メモリセルアレイMSA10乃至MSA13の列方向の一端側及び他端側に冗長メモリセル配置領域RGAR1乃至RGAR8が設けられ、行アドレスを列方向にシフトさせてシフト冗長処理を実行する半導体記憶装置1に適用するようにした場合について述べたが、本発明はこれに限らず、メモリセルアレイの行方向の所定位置に冗長メモリセル配置領域が設けられ、列アドレスを行方向にシフトさせてシフト冗長処理を実行する半導体記憶装置や、メモリセルアレイの列方向の所定位置と、行方向の所定位置とにそれぞれ冗長メモリセル配置領域が設けられ、行アドレスを列方向にシフトさせてシフト冗長処理を実行すると共に、列アドレスを行方向にシフトさせてもシフト冗長処理を実行し得る半導体記憶装置等のように、DRAM及びSRAM (Static Random Ac

cess Memory) 等のこの他種々の構成の半導体記憶装置に広く適用することができる。

【0 2 3 7】

因みに半導体記憶装置において列方向に対するシフト冗長処理を実行する場合には、列アドレスを少なくとも 1 個の列アドレス管理個数単位で行方向に順次シフトさせるようにすれば良く、これにより列アドレス管理個数に対応する所定列分の複数のメモリセル MS となる少なくとも 1 個のビット線対 BL 1、……、BL 1 2 8 の 2 本のビット線間 BL 1 A 及び BL 1 B、……、BL 1 2 8 A 及び BL 1 2 8 B に配置された 1 列分の複数のメモリセル MS に替えて、当該少なくとも 1 列分の複数の冗長メモリセル RMS をデータの記憶再生に使用することができる。

【0 2 3 8】

さらに上述の実施の形態においては、複数のメモリセルがアレイ状に配置されると共に、当該アレイ状に配置された複数のメモリセルの行方向及び又は列方向の所定箇所に複数の冗長メモリセルがアレイ状に配置され、列方向とほぼ平行に配線された 2 本のビット線からなり、当該 2 本のビット線を列方向の 1 又は複数箇所でツイストして当該 2 本のビット線の配線位置入替部分が形成された複数のビット線対と、行方向とほぼ平行に配線された複数のワード線とを有し、複数のビット線と複数のワードとの複数の交差箇所でそれぞれ当該ビット線及びワード線にメモリセル又は冗長メモリセルが接続されたメモリセルととして、図 1 乃至図 1 2 について上述したメモリセルアレイ群 2 を適用するようにした場合について述べたが、本発明はこれに限らず、行方向及び又は列方向の所定位置に複数行及び又は複数列分の冗長メモリセル RMS が配置された少なくとも 1 個のメモリセルアレイ等のように、この他種々の構成のメモリセルアレイを広く適用することができる。

【0 2 3 9】

さらに上述の実施の形態においては、複数のメモリセルに接続された複数のビット線対にそれぞれ割り当てられた列アドレスを所定の列アドレス管理個数単位で行方向に順次シフトさせて他の複数のビット線対に割り当て直すことにより列

アドレス管理個数に対応する所定列分の複数のメモリセルに替えて当該所定列分の冗長メモリセルをデータの記憶再生に対して使用可能にし、及び又は複数のメモリセルに接続された複数のワード線にそれぞれ割り当てられた行アドレスを所定の行アドレス管理個数単位で列方向に順次シフトさせて他の複数のワード線に割り当て直すことにより行アドレス管理個数に対応する所定行分の複数のメモリセルに替えて当該所定行分の複数の冗長メモリセルをデータの記憶再生に対して使用可能にするシフト冗長手段として、図1乃至図12について上述したシフト処理回路15を適用するようにした場合について述べたが、本発明はこれに限らず、複数のビット線対BL1、……、BL128にそれぞれ割り当てられた列アドレスを所定の列アドレス管理個数単位で列方向に順次シフトしてシフト冗長処理を実行し得るシフト処理回路等のように、この他種々のシフト冗長手段を広く適用することができる。

【0240】

さらに上述の実施の形態においては、評価試験用データの記憶再生時に、ビット線対のツイスト箇所及び行アドレスのシフトに応じて、入力行アドレスで指定されたワード線に対して配線位置入替部分が交差したビット線対を判別する判別手段として、図1乃至図12について上述したツイスト用反転判断回路9及びシフト用反転判断回路16からなるデータ反転判断部8を適用するようにした場合について述べたが、本発明はこれに限らず、ツイスト用反転判断回路及びシフト用反転判断回路を一体化したデータ反転判断回路や、シフト処理回路15等のように、この他種々の判別手段を広く適用することができる。

【0241】

さらに上述の実施の形態においては、判別手段による判別結果に応じて、ワード線に対して配線位置入替部分が交差したビット線対に供給し及び当該ビット線対から出力される評価試験用データのレベルを反転すると判断する判断手段として、図1乃至図12について上述したツイスト用反転判断回路9及びシフト用反転判断回路16からなるデータ反転判断部8を適用するようにした場合について述べたが、本発明はこれに限らず、ツイスト用反転判断回路及びシフト用反転判断回路を一体化したデータ反転判断回路等のように、この他種々の判断手段を広く

く適用することができる。

【0242】

さらに上述の実施の形態においては、判断手段による判断結果に応じて、評価試験用データの記憶時にワード線に対して配線位置入替部分が交差したビット線対に供給する評価試験用データのレベルを反転処理し、評価試験用データの再生時にワード線に対して配線位置入替部分が交差したビット線対から出力された評価試験用データのレベルを反転処理する反転手段として、図1乃至図12について上述した反転処理部4を適用するようにした場合について述べたが、本発明はこれに限らず、この他種々の構成及び種々の配置位置に設けられた反転手段を広く適用することができる。

【0243】

【発明の効果】

上述のように本発明によれば、シフト冗長手段により、複数のメモリセルに接続された複数のビット線対にそれぞれ割り当てられた列アドレスを所定の列アドレス管理個数単位で行方向に順次シフトさせて他の複数のビット線対に割り当て直すことにより列アドレス管理個数に対応する所定列分の複数のメモリセルに替えて当該所定列分の冗長メモリセルをデータの記憶再生に対して使用可能にし、及び又は複数のメモリセルに接続された複数のワード線にそれぞれ割り当てられた行アドレスを所定の行アドレス管理個数単位で列方向に順次シフトさせて他の複数のワード線に割り当て直すことにより行アドレス管理個数に対応する所定行分の複数のメモリセルに替えて当該所定行分の複数の冗長メモリセルをデータの記憶再生に対して使用可能にし、この状態で評価試験用データの記憶再生時に、判別手段により、ビット線対のツイスト箇所及び行アドレスのシフトに応じて、入力行アドレスで指定されたワード線に対して配線位置入替部分が交差したビット線対を判別し、判断手段により、判別手段の判別結果に応じて、ワード線に対して配線位置入替部分が交差したビット線対に供給し及び当該ビット線対から出力される評価試験用データのレベルを反転すると判断し、反転手段により、判断手段の判断結果に応じて、評価試験用データの記憶時にワード線に対して配線位置入替部分が交差したビット線対に供給する評価試験用データのレベルを反転処

理し、評価試験用データの再生時にワード線に対して配線位置入替部分が交差したビット線対から出力された評価試験用データのレベルを反転処理するようにしたことにより、メモリセルアレイ内の各メモリセル及び冗長メモリセルに対して「0」及び「1」レベルの評価試験用データを、当該各メモリセルの物理的な配置位置に応じて予め選定された記憶パターンで適確に記憶し得ると共に、当該記憶したデータを再生した際に記憶の際の反転を相殺するように再び反転して出力することができ、かくして適確に評価させ得る半導体記憶装置を実現することができる。

【図面の簡単な説明】

【図1】

本発明による半導体記憶装置の回路構成の一実施の形態を示すブロック図である。

【図2】

メモリセルアレイ群の構成を示す略線図である。

【図3】

メモリセルアレイの構成を示す略線図である。

【図4】

メモリセルアレイの詳細構成を示すブロック図である。

【図5】

メモリセルに対するデータの記憶再生の説明に供するブロック図である。

【図6】

シフト冗長の説明に供する略線図である。

【図7】

メモリセルに対する評価試験用データの記憶の説明に供するブロック図である。

【図8】

評価試験用データの記憶の説明に供するタイミングチャートである。

【図9】

評価試験用データの記憶の説明に供するタイミングチャートである。

【図 1 0】

評価試験用データの再生の説明に供するタイミングチャートである。

【図 1 1】

評価試験用データの再生の説明に供するタイミングチャートである。

【図 1 2】

データ反転制御処理手順を示すフローチャートである。

【図 1 3】

ツイストビット線対方式の説明に供するブロック図である。

【図 1 4】

データ依存性の評価試験の説明に供するブロック図である。

【図 1 5】

配線位置入替部分のメモリセルに対する評価試験用データの記憶の説明に供するブロック図である。

【図 1 6】

行アドレスをシフトさせた際のデータ依存性の評価試験の説明に供するブロック図である。

【符号の説明】

1 ……半導体記憶装置、2 ……メモリセルアレイ群、4 ……反転処理部、8 ……データ反転判断部、9 ……ツイスト用反転判断回路、15 ……シフト処理回路、16 ……シフト用反転判断回路、MSA10乃至MSA13 ……メモリセルアレイ、MGAR1乃至MGAR4 ……メモリセル配置領域、RGAR1乃至RGAR8 ……冗長メモリセル配置領域、WL1、……、WL512 ……ワード線、BL1、……、BL128 ……ビット線対、BL1A、BL1B、……、BL128A、BL128B ……ビット線、CCAR10、CCAR11 ……配線位置入替部分、MS ……メモリセル、RMS ……冗長メモリセル、D7、D10 ……行アドレスデータ、D8、D13 ……評価試験用データ。

【書類名】 図面

【図 1】

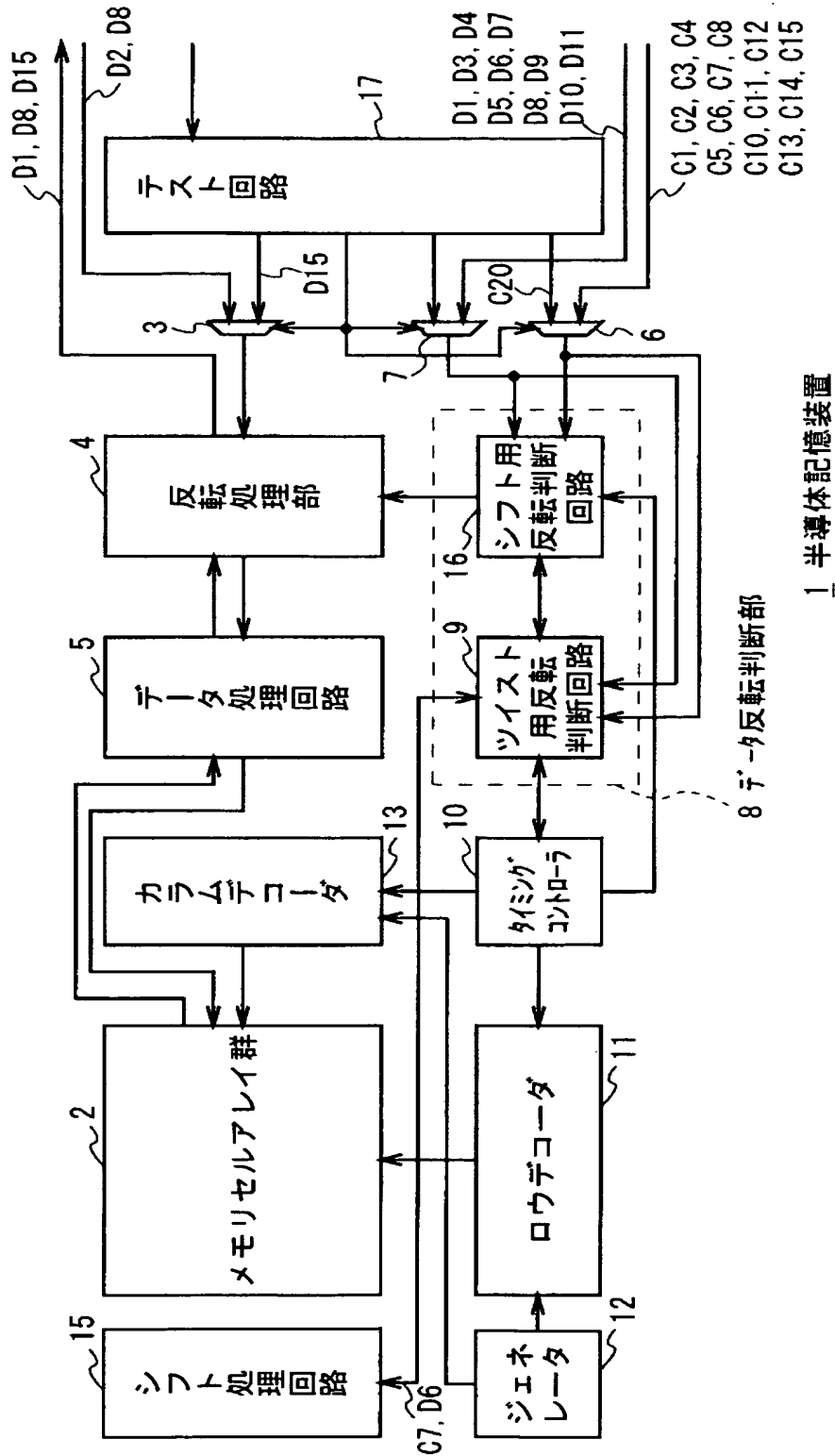


図 1 本発明による半導体記憶装置の回路構成

【図 2】

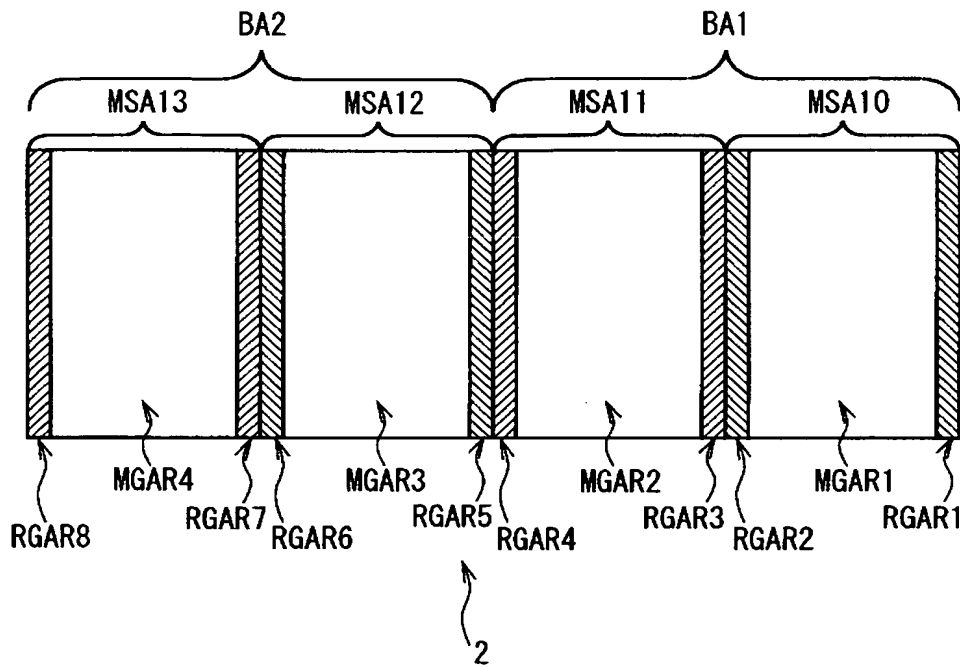


図 2 メモリセルアレイ群の構成

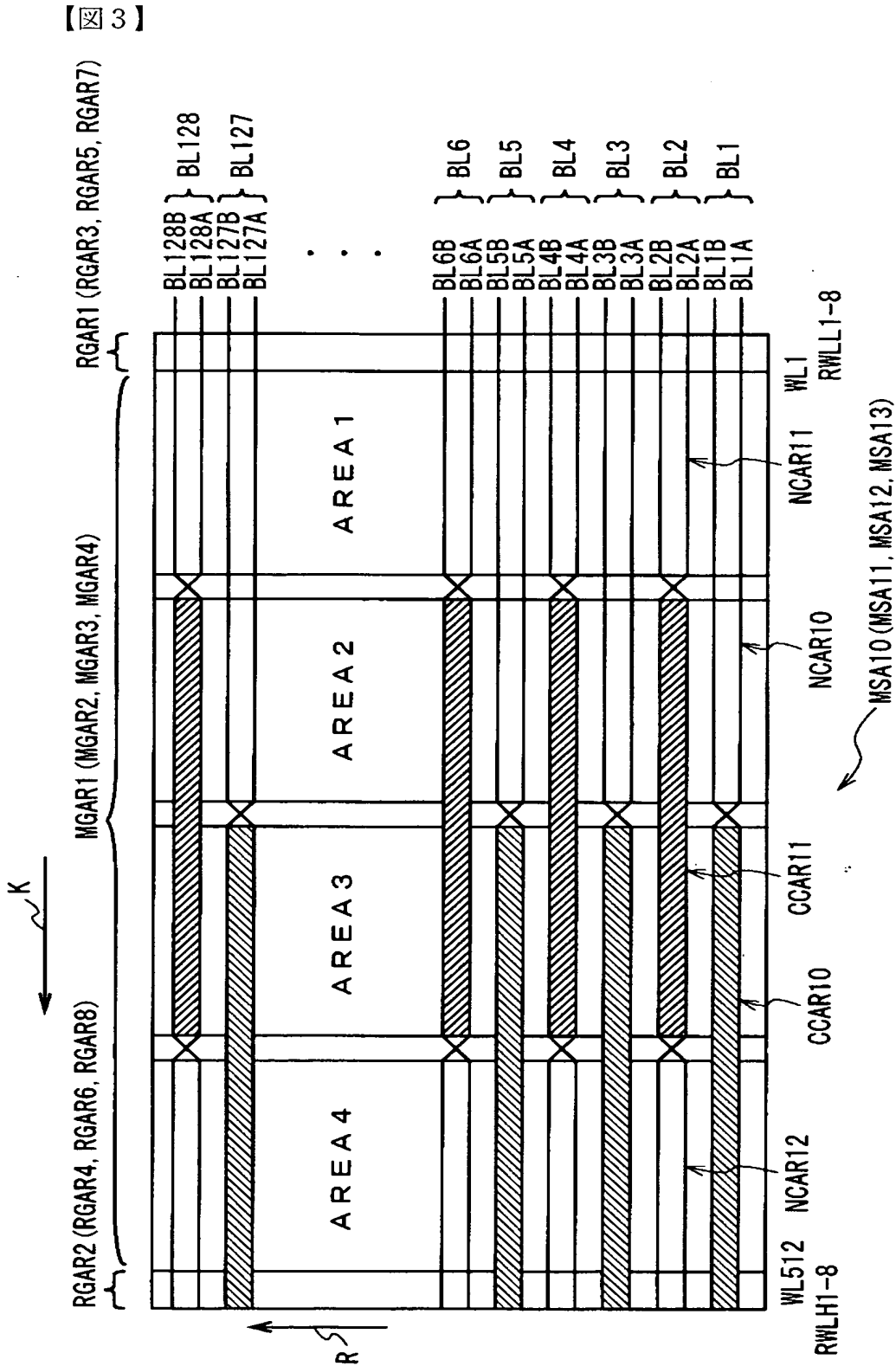
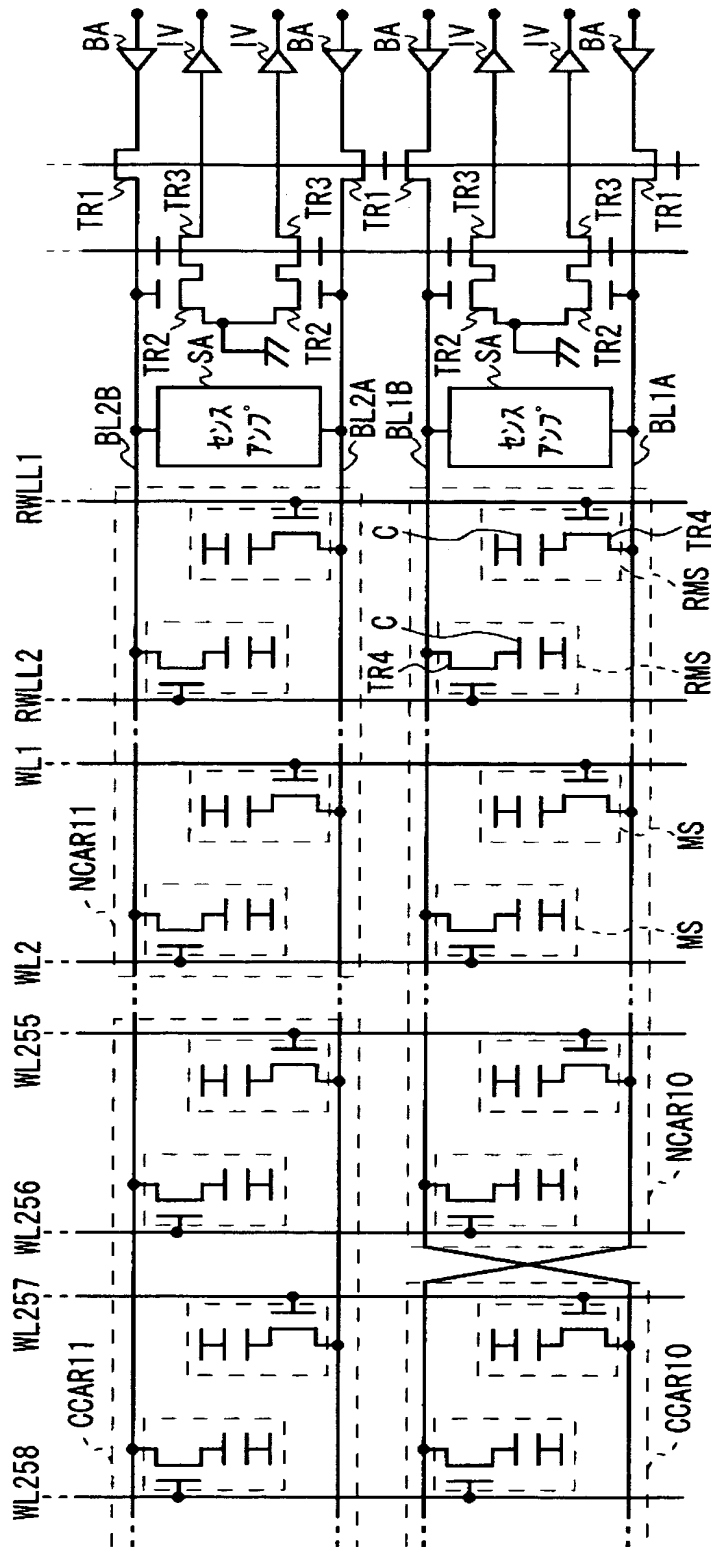


図 3 メモリセルアレイの構成

【図 4】



MSA10 (MSA11, MSA12, MSA13)

図 4 メモリセルアレイの詳細構成

【図 5】

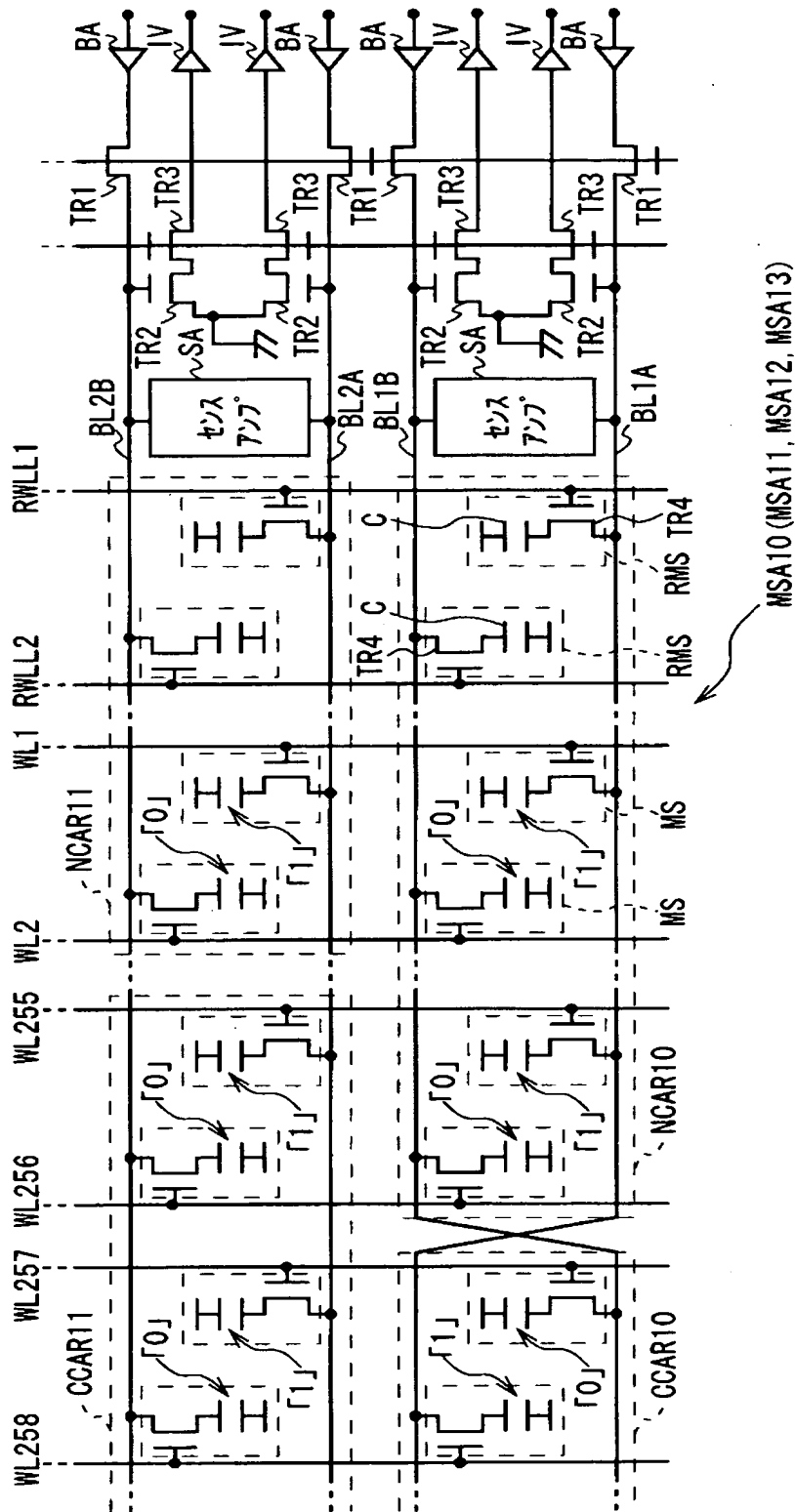


図 5 メモリセルに対するデータの記憶再生の様子

【図 6】

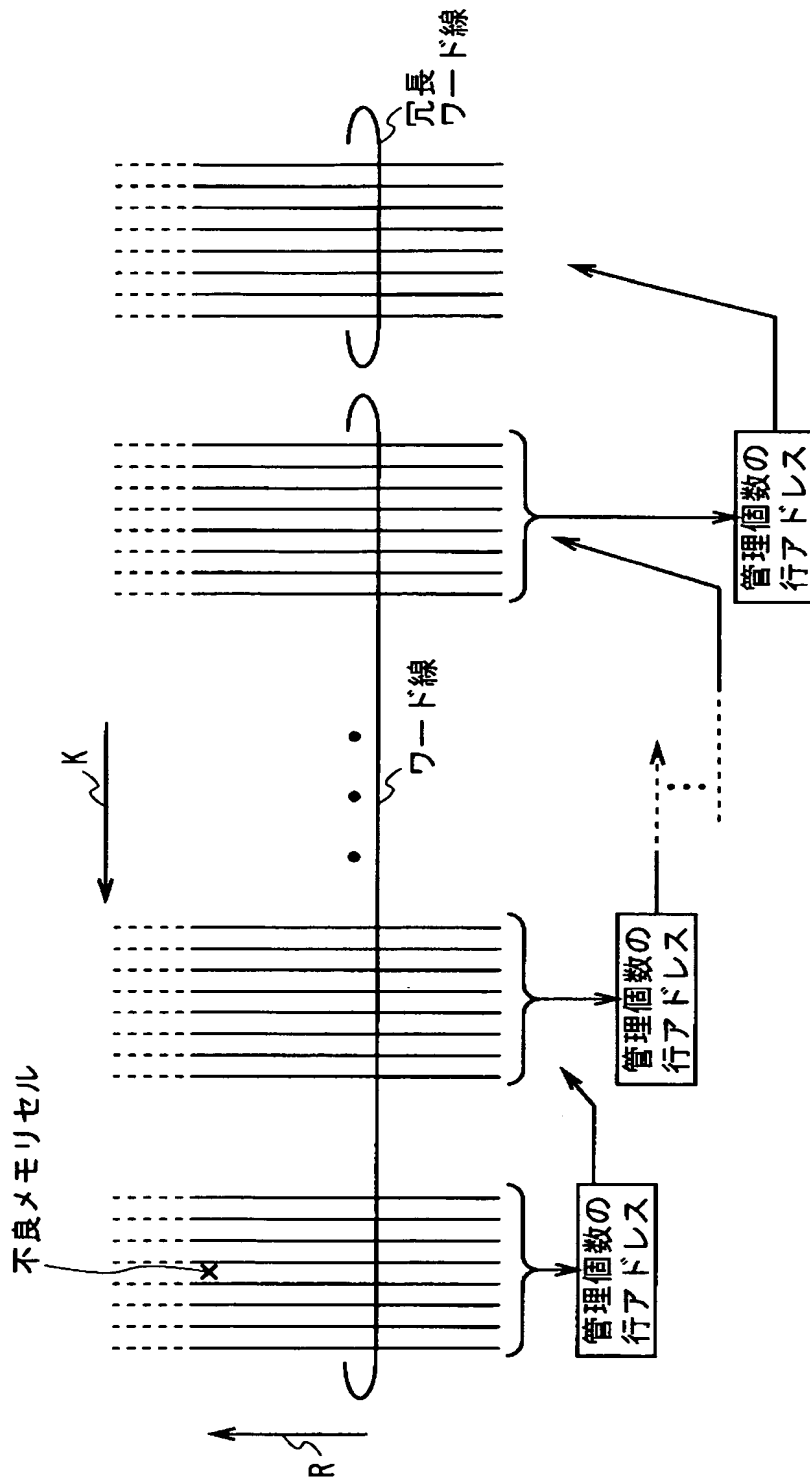


図 6 シフト冗長の様子

【図 7】

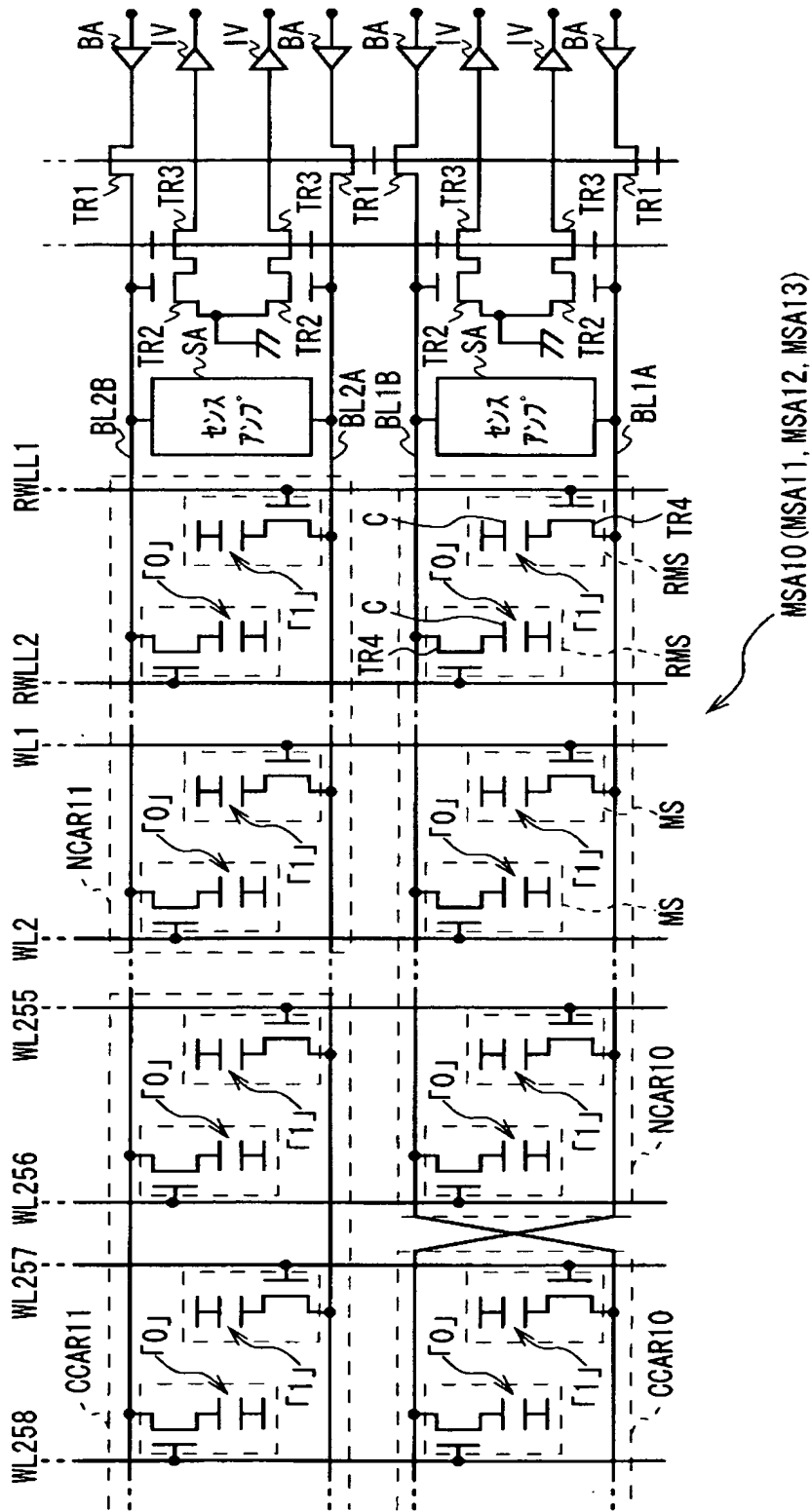


図 7 メモリセルに対する評価試験用データの記憶の様子

【図 8】

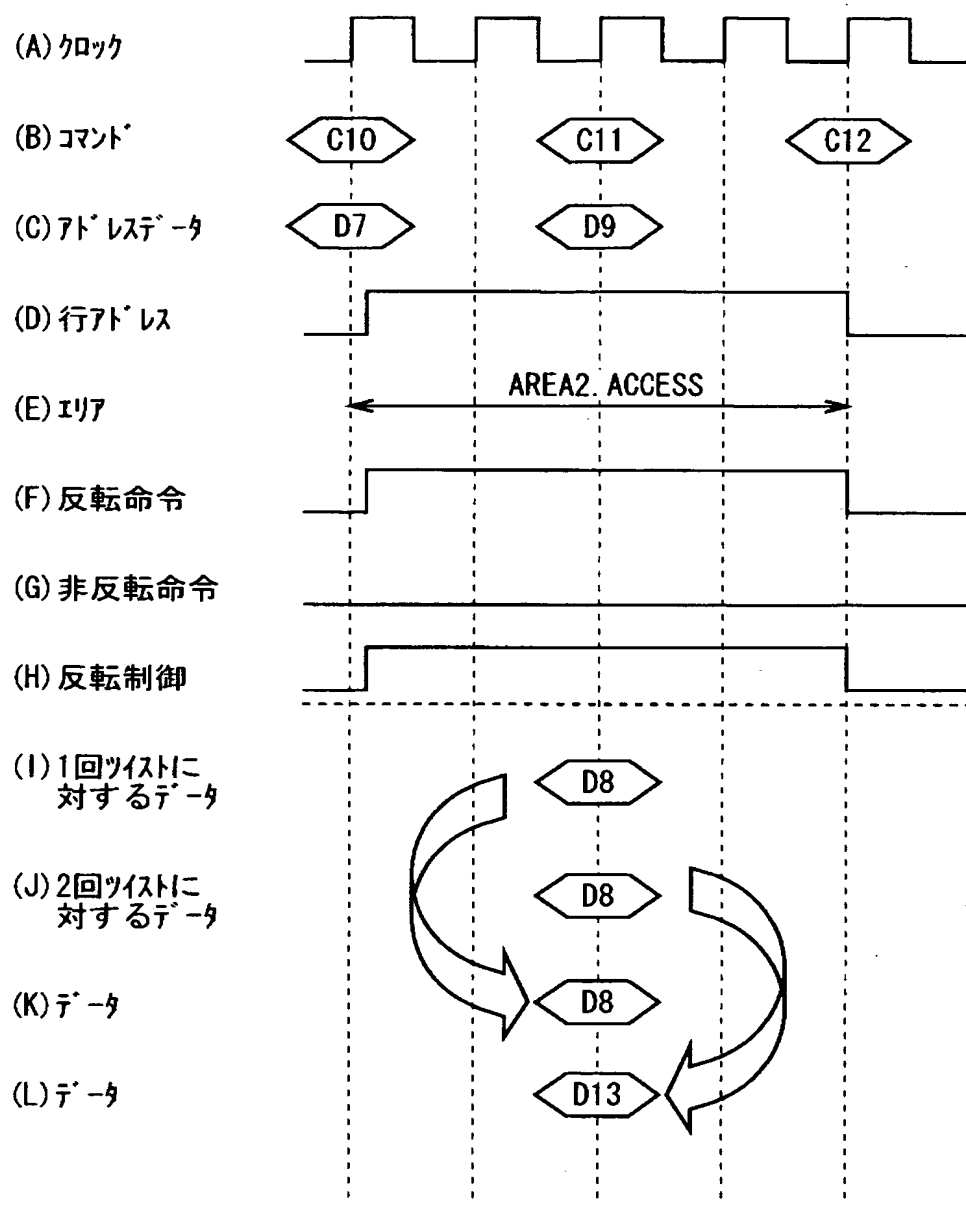


図 8 評価試験用データの記憶の様子 (1)

【図 9】

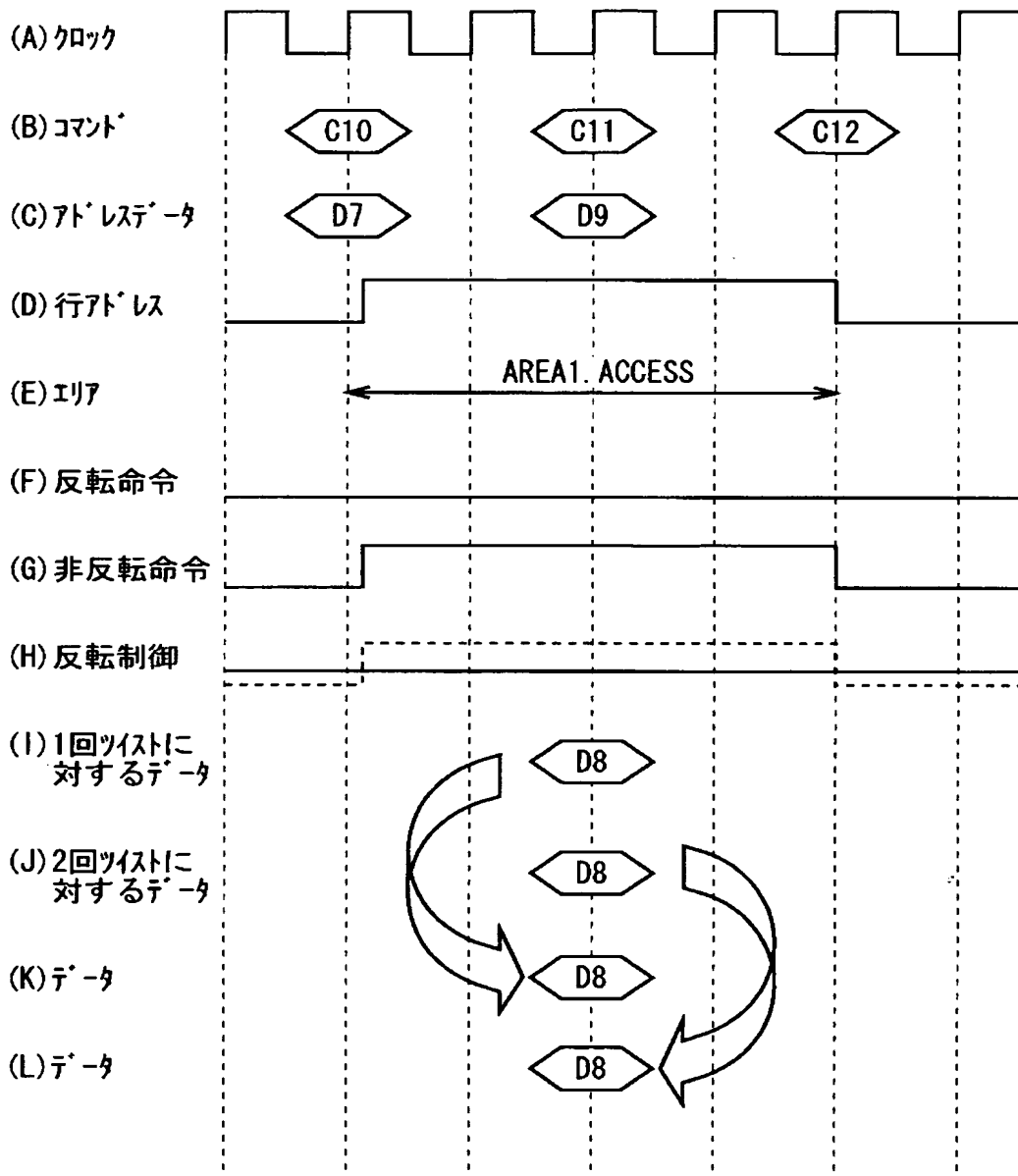


図 9 評価試験用データの記憶の様子 (2)

【図 10】

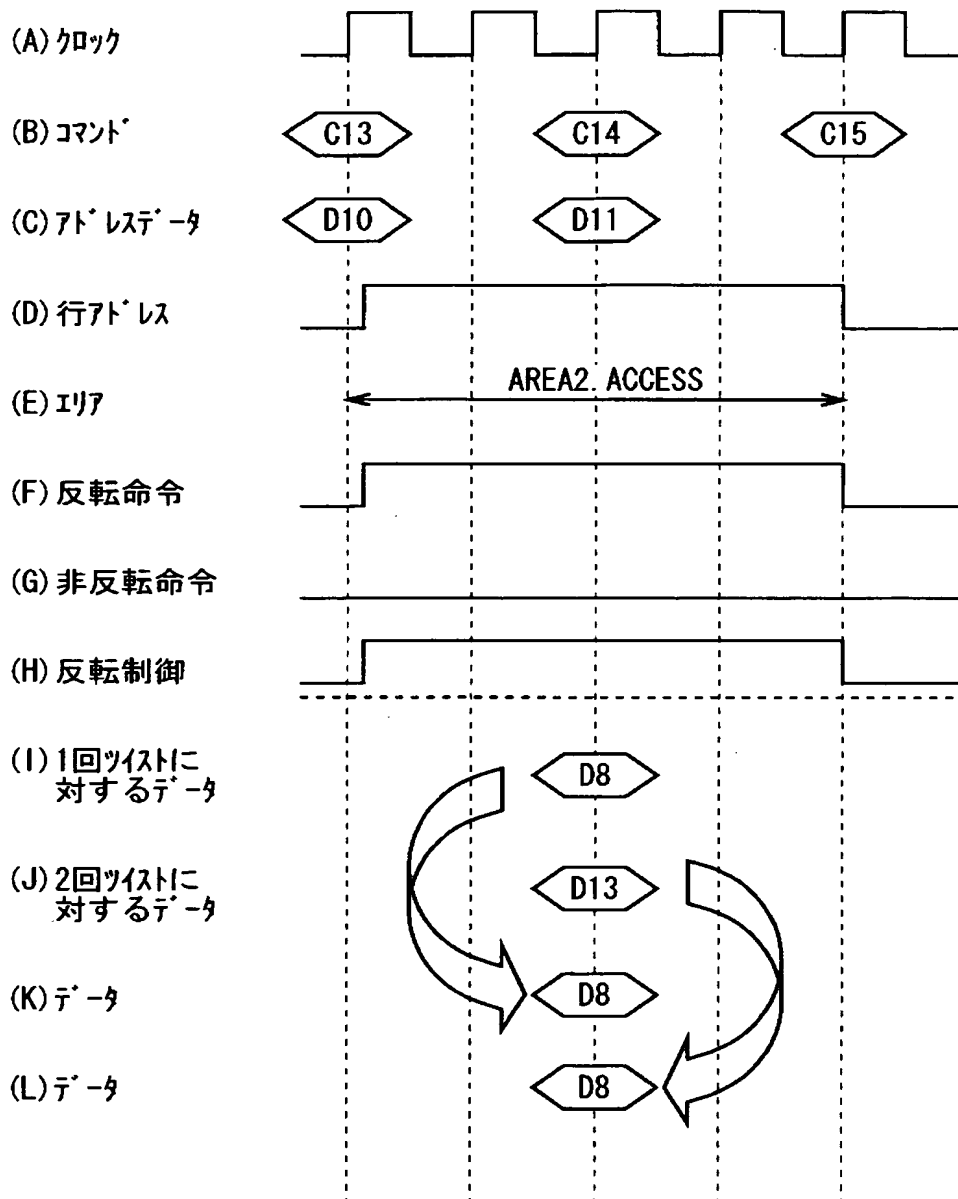


図 10 評価試験用データの再生の様子 (1)

【図 1 1】

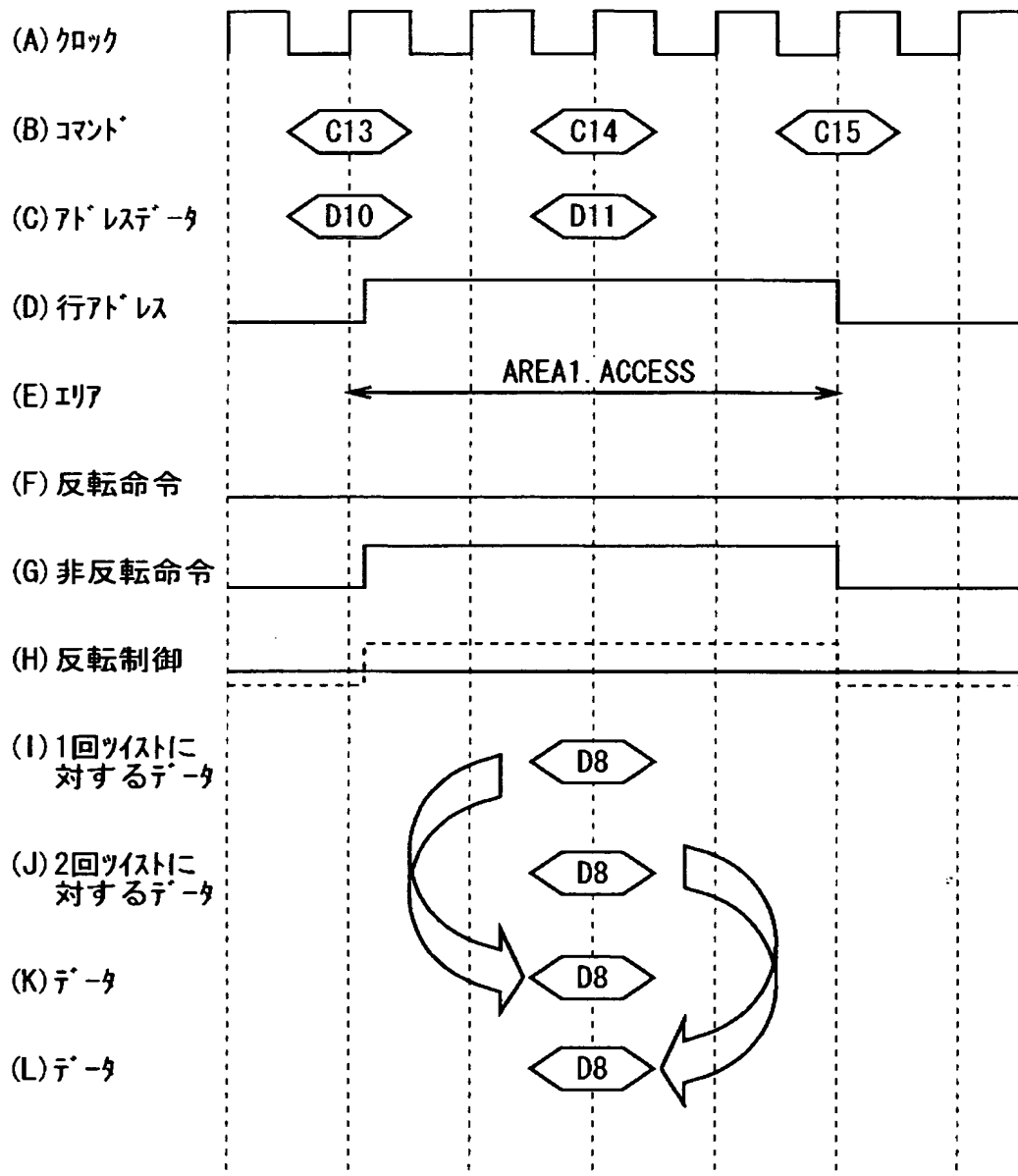


図 1 1 評価試験用データの再生の様子 (2)

【図 1 2】

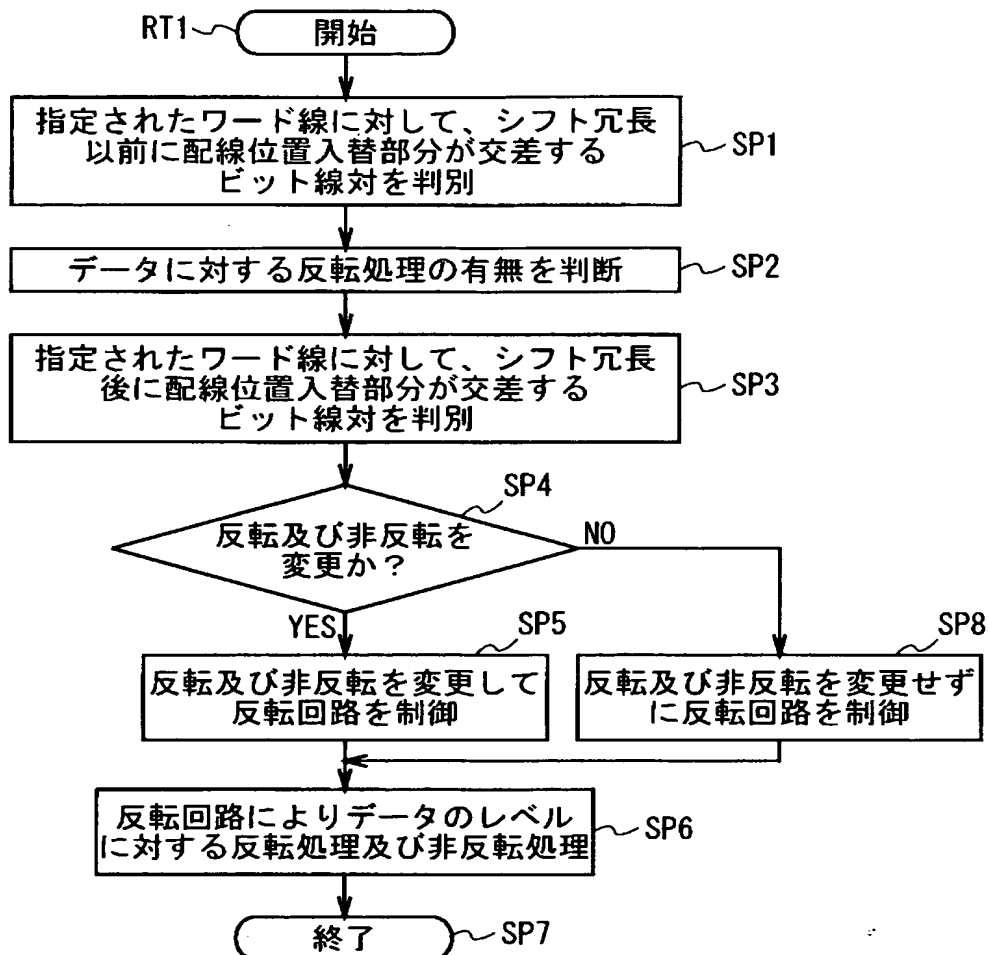


図 1 2 データ反転制御処理手順

【図 13】

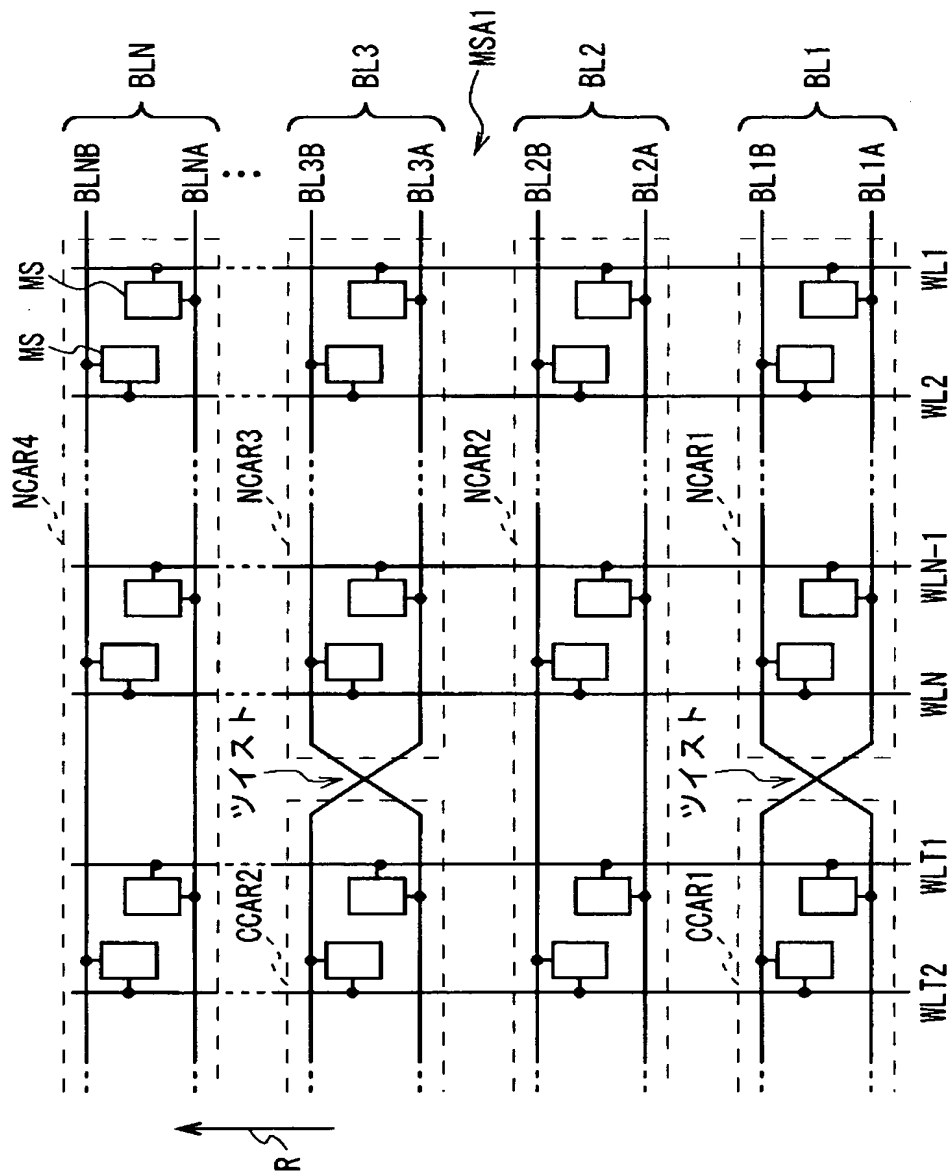


図 13 ツイストビット線対方式の様子

【図14】

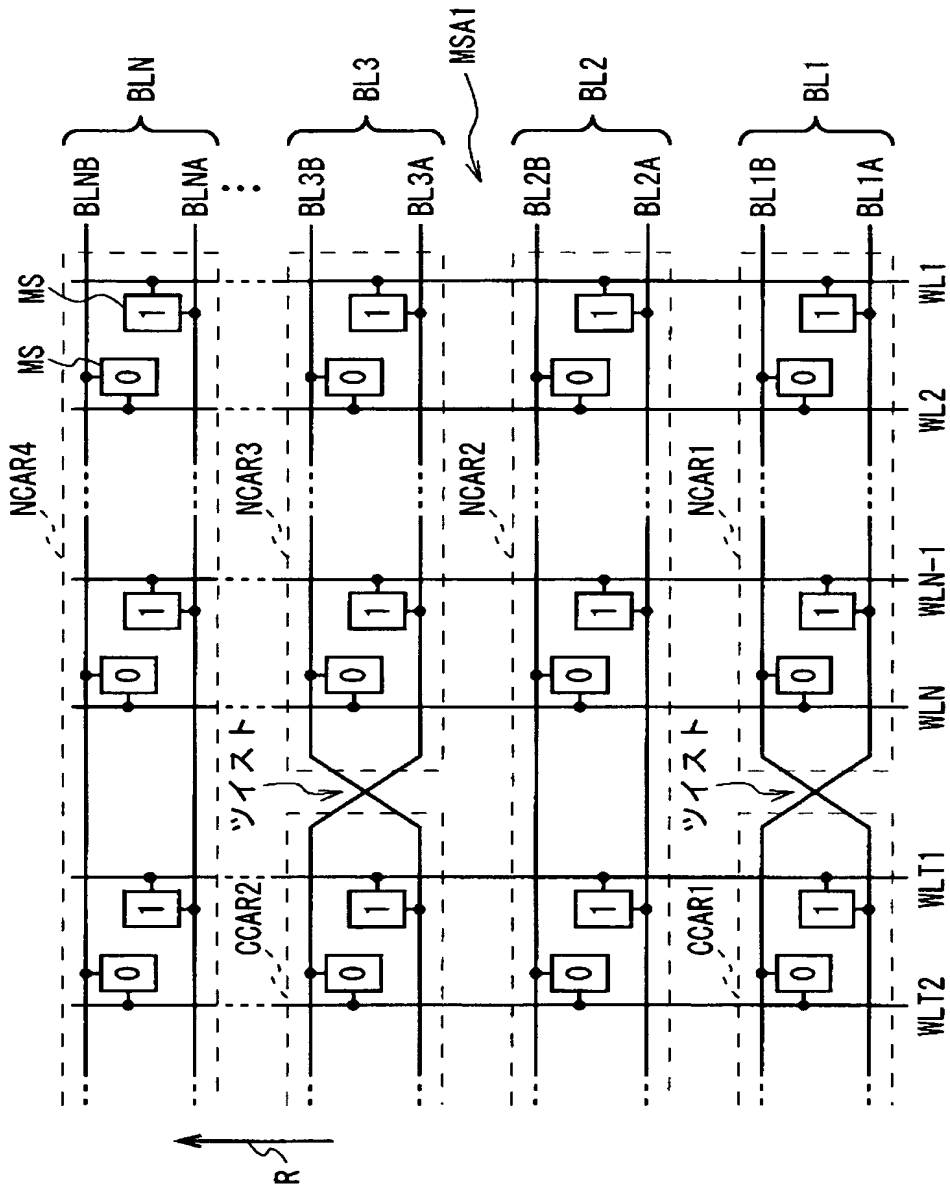


図14 データ依存性の評価試験の様子

【図 15】

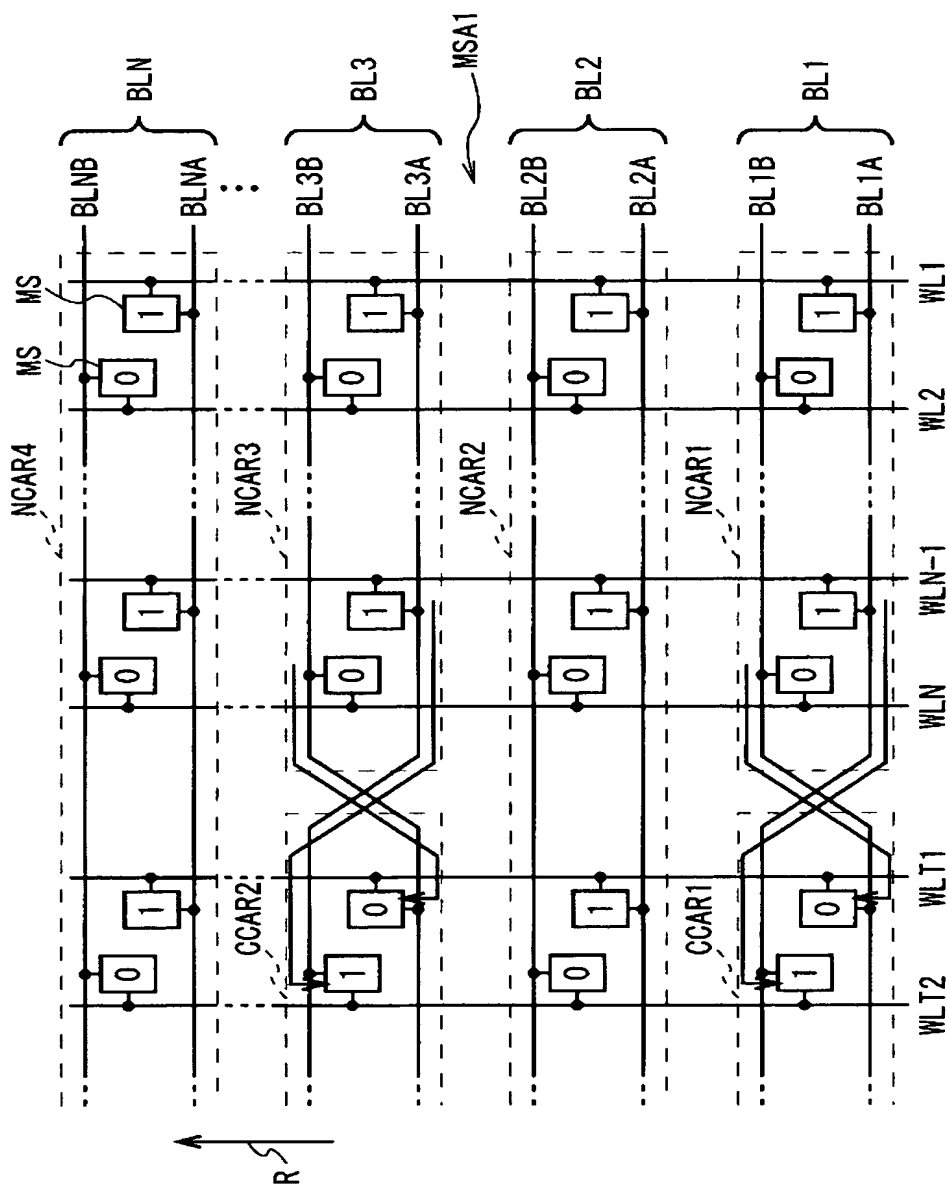


図 15 配線位置入替部分のメモリセルへの評価試験用データの記憶の様子

【図 16】

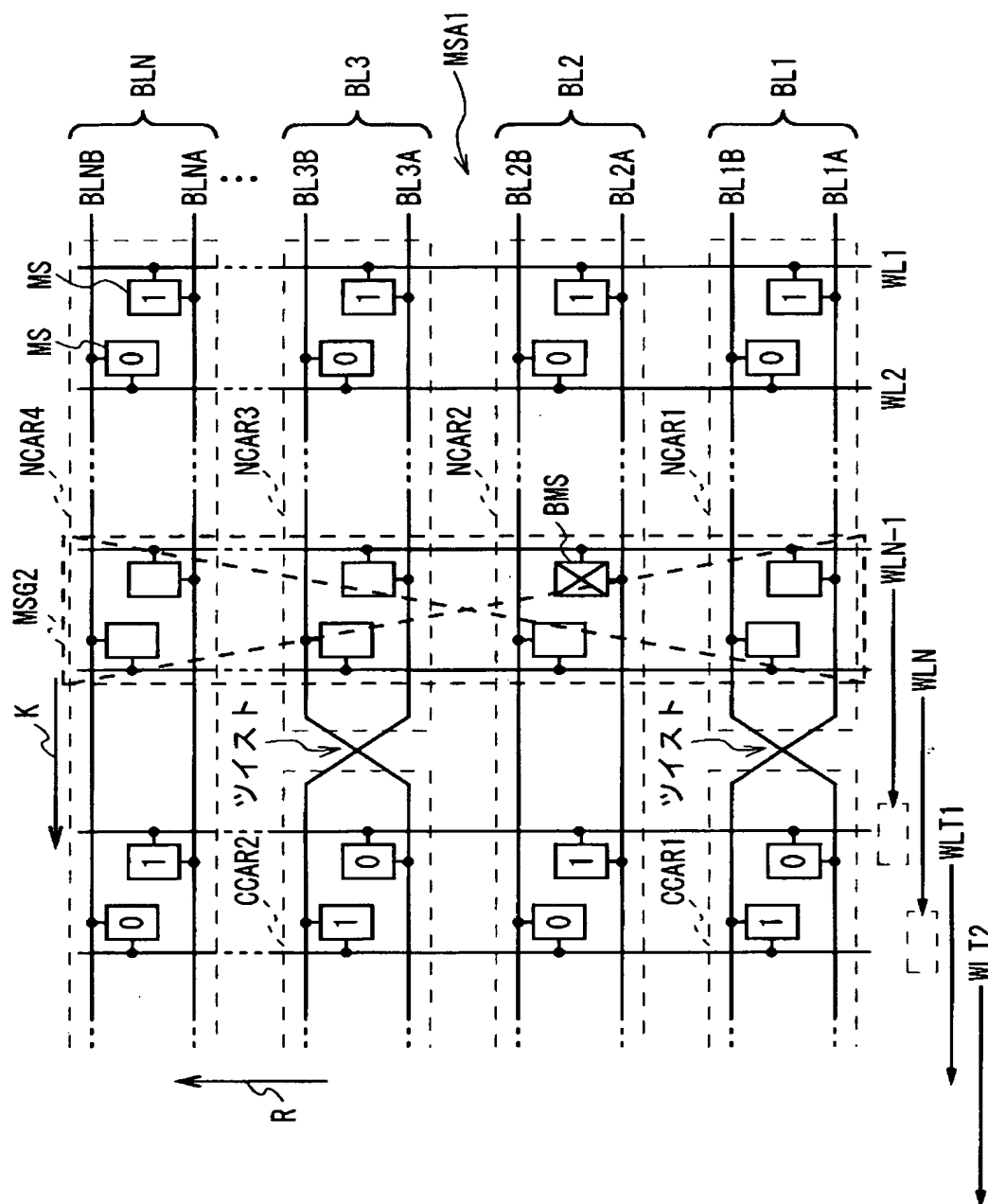


図16 行アドレスをシフトさせた際のデータの依存性の評価試験の様子

【書類名】 要約書

【要約】

【課題】

本発明は、半導体記憶装置を適確に評価させ得るようにする。

【解決手段】

本発明は、シフト処理回路15によりメモリセルアレイMSA10で行アドレスを列方向に順次シフトさせて割り当て直し、データ反転判断部8によりツイスト箇所及びシフトに応じて、入力行アドレスで指定されたワード線WL1、……、WL512と配線位置入替部分CCAR10及びCCAR11が交差したビット線対BL1、……、BL128を判別して当該ビット線対BL1、……、BL128に入出力する評価試験用データD8のレベルを反転すると判断し、反転処理部4によりビット線対BL1、……、BL128に入出力する評価試験用データD8のレベルを反転処理することにより、各メモリセルに対して「0」及び「1」レベルの評価試験用データD8を記憶パターンで適確に記憶し、再生時に記憶時の反転を相殺して出力でき、半導体記憶装置を適確に評価できる。

【選択図】 図1



特願 2 0 0 3 - 0 9 8 4 7 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社